

密级状态： 绝密() 秘密() 内部资料() 公开()

RK3566 硬件设计指南

(福州硬件研发中心)

文件状态： <input type="checkbox"/> 草稿 <input type="checkbox"/> 正在修改 <input checked="" type="checkbox"/> 正式发布	当前版本：	1.1.0
	作 者：	Daniel.Jin
	完成日期：	2022-02-06
	审 核：	Reviewer
	审核日期：	2022-02-06

免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自所有者所有。

版权所有 © 2022 瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

Rockchip Electronics Co., Ltd.

地址：福建省福州市铜盘路软件园 A 区 18 号

网址：www.rock-chips.com

客户服务电话：+86-4007-700-590

客户服务传真：+86-591-83951833

客户服务邮箱：fae@rock-chips.com

修订记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本号	作者	修改日期	修改说明
V1.0.0	Daniel.J	2021.06.03	第一次正式发布版本；
V1.1.0	Daniel.J	2022.02.06	修改了一些可能歧义的文字描述；

前言

概述

本文档主要介绍 RK3566 处理器硬件设计的要点及注意事项，旨在帮助 RK 客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用 RK 发布的相关核心模板。如因特殊原因需要更改的，请严格按照电路设计、产品可靠性等要求以及 RK 产品 PCB 设计要求进行。

芯片型号

本文档对应的芯片型号为：**RK3566**

适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- 技术支持工程师
- 测试工程师

关联文档

- RK3566_PinOut: 管脚列表、ballmap、GPIO 信息、Pin_delay, 未使用管脚处理方式;
- Rockchip_RK3566_High_Speed_PCB_Design_Guide: 相关高速信号设计指南、走线要求与建议;
- RK356X Power Consumption Test Report: 电源功耗参考数据;
- Rockchip_RK3566_IO_Power_Domain_Checklist: IO 电源域供电检查表;
- Rockchip_RK3566_Schematic_and_PCB_Review_Checklist: 原理图、PCB 检查表;
- Rockchip_RK3566_Hardware_Design_Guide: 硬件设计指南;

缩略语

缩略语包括文档中常用词组的简称：

缩略语	英文释义	中文释义
ARM/CPU	ARM based Central Processing Unit	基于 ARM 的中央处理器
Acodec	Audio Codec	音频编解码器
CEC	Consumer Electronics Control	消费电子控制
CIF	Camera Input Format	相机并行接口
CSI	Camera Serial Interface	相机串行接口
DC/DC	Direct Current-Direct Current Convertor	直流/直流转换器
DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	Display Port	显示接口
DSI	Display Serial Interface	显示串行接口
EBC	E-book Controller	电子书控制器
eDP	Embedded Display Port	嵌入式数码音视频传输接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static Discharge	静电释放
ESR	Equivalent Series Resistance	等效电阻
FSPI	Flexible Serial Peripheral Interface	灵活串行外设接口
GPU	Graphics Processing Unit	图形处理器
GMAC	Gigabit Media Access Controller	千兆媒体访问控制器
HDMI	High-Definition Multimedia Interface	高清晰度多媒体（接口）
I ² C/I2C	Inter-Integrated Circuit	内部整合电路(线式串行通讯总线)
I2S	Inter-IC Sound	集成电路内置音频总线
ISP	Image Signal Processing	图像信号处理
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1 兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号（接口）
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器（接口）
NPU	Netural-network Processing Unit	神经网络处理器
PCIe	Peripheral Component Interconnect Express	外设组件互联标准
PDM	Pulse Density Modulation	脉冲密度调制（接口）
PMIC	Power Management IC	电源管理芯片

PMU	Power Management Unit	电源管理单元
PWM	Pulse Width Modulation	脉冲宽度调制
Rockchip	Rockchip Electronics Co., Ltd.	瑞芯微电子股份有限公司
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口
RMII	Reduced Media Independent Interface	简化媒体独立接口
SARADC	Successive Approximation Register Analog to Digital Converter	逐次逼近寄存器型模数转换器
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入/输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPI/FSPI	(Flexible)Serial Peripheral Interface	(灵活) 串行外设(接口)
SPDIF	Sony/Philips Digital Interface Format	索尼/飞利浦数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
TSADC	Temperature Sensing Analog to Digital Converter	温度感应模数转换器
VOP	Video Output Processor	视频输出处理器
VPU	Video Processing Unit	视频处理器
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发传输器
USB	Universal Serial Bus	通用串行总线

目 录

1	系统概述	9
1.1	概述	9
1.2	芯片框图	9
1.3	应用框图	10
1.3.1	RK817-5 应用框图	10
1.3.2	RK809-5 应用框图	11
2	硬件设计建议	12
2.1	最小系统设计	12
2.1.1	时钟电路	12
2.1.2	复位电路	13
2.1.3	看门狗/TSADC 电路	14
2.1.4	PMU 单元电路	14
2.1.5	系统启动引导顺序	14
2.1.6	系统初始化配置信号	14
2.1.7	JTAG Debug 电路	15
2.1.8	UART Debug 电路	16
2.1.9	DDR 电路	16
2.1.10	eMMC 电路	21
2.1.11	Nand Flash 电路设计	22
2.1.12	FSPI Flash 电路	24
2.1.13	GPIO 电路	25
2.2	电源设计	27
2.2.1	最小系统电源介绍	27
2.2.2	电源设计建议	28
2.2.3	电源峰值电流表	35
2.2.4	RK817-5 方案介绍	35
2.2.5	RK809-5 方案介绍	39
2.2.6	过温保护电路	42
2.2.7	PMIC SLEEP 待机控制电路	43
2.3	功能接口电路设计	44
2.3.1	SDMMC 存储卡电路	44
2.3.2	USB 电路	46
2.3.3	SARADC 电路	50
2.3.4	OTP 电路	51
2.3.5	UART 与调试 UART 电路	51
2.3.6	I2C 电路	53
2.3.7	PWM 电路	54
2.3.8	SPI 电路	55
2.3.9	以太网接口	56
2.4	音频相关电路设计	58
2.4.1	I2S1 数字音频接口	58
2.4.2	I2S2 数字音频接口	59
2.4.3	I2S3 数字音频接口	60
2.4.4	PDM 数字音频接口	60

2.4.5	SPDIF 数字音频接口	61
2.4.6	Codec 及模拟音频接口	61
2.5	视频输出接口设计 (VIDEO OUTPUT)	65
2.5.1	MIPI-DSI 输出	66
2.5.2	LVDS 输出	67
2.5.3	eDP 输出	67
2.5.4	HDMI2.0 TX 输出	68
2.5.5	BT1120 输出	70
2.5.6	BT656 输出	71
2.5.7	EBC 输出	71
2.5.8	LCD 屏和触摸屏设计注意点	71
2.6	视频输入接口设计 (VIDEO INPUT)	72
2.6.1	MIPI-CSI 接口	72
2.6.2	DVP (CIF) 并口摄像头输入	73
2.7	组合高速接口设计 (MULTI PHY)	75
2.7.1	SATA3.0 高速接口	76
2.7.2	PCIe 2.0 高速接口	76
3	热设计建议	78
3.1	热仿真结果	78
3.1.1	结果概要	78
3.1.2	PCB 描述	78
3.1.3	术语解释	78
3.2	芯片内部热控制方式	80
3.2.1	温度控制策略	80
3.2.2	温度控制配置	80
3.3	电路与 PCB 板级热设计建议	80
4	ESD/EMI 防护设计	82
4.1	概述	82
4.2	术语解释	82
4.3	ESD 防护建议	82
4.4	EMI 防护建议	83
5	焊接工艺	85
5.1	概述	85
5.2	术语解释	85
5.3	回流焊要求	85
5.3.1	焊膏成分与使用要求	85
5.3.2	SMT 曲线	85
5.3.3	SMT 建议曲线	87
6	包装和存放条件	88
6.1	概述	88
6.2	术语解释	88
6.3	防潮包装	88
6.4	产品存放	89
6.4.1	存放环境	89
6.4.2	暴露时间	89
6.5	潮敏产品使用	89

插图目录

图 1-1 RK3566 芯片功能框图	9
图 1-2 RK3566 RK817-5应用框图	10
图 1-3 RK3566 RK809-5应用框图	11
图 2-1 RK3566 晶体连接方式及器件参数.....	12
图 2-2 RK3566 复位输入	13
图 2-3 RK3566 FLASH_VOL_SEL管脚电平与VCCIO2状态对应关系.....	15
图 2-4 RK3566 SDMMC0/JTAG复用控制管脚.....	15
图 2-5 RK3566 SWD模式JTAG连接电路.....	16
图 2-6 RK3566 LPDDR3的拓扑结构图	17
图 2-7 LPDDR3颗粒的DQ[7:0]连接说明.....	18
图 2-8 不同DDR颗粒对应VDDQ/VDDQL供电电压.....	18
图 2-9 DDR3 SDRAM上电时序	19
图 2-10 LPDDR3 SDRAM上电时序	19
图 2-11 DDR4 SDRAM上电时序	19
图 2-12 LPDDR4 SDRAM上电时序	20
图 2-13 DDR_RZQ接法说明	20
图 2-14 eMMC颗粒上下电时序	22
图 2-15 Nand Flash颗粒上下电时序	23
图 2-16 RK3566 待机电路方案	28
图 2-17 RK3566 芯片PMU PLL电源.....	29
图 2-18 RK3566 芯片SYS PLL电源.....	29
图 2-19 RK3566 芯片VDD_CPU电源及去耦.....	30
图 2-20 RK3566 芯片LOGIC电源及去耦.....	30
图 2-21 RK3566 芯片VDD_GPU电源及去耦.....	31
图 2-22 RK3566 芯片VDD_NPU电源及去耦.....	31
图 2-23 RK3566 电源的远端反馈补偿.....	31
图 2-24 RK3566 VCC_DDR电源	32
图 2-25 RK3566在DDR3/DDR3L/DDR4/LPDDR3/LPDDR4情形下的DDR电源及去耦.....	33
图 2-26 RK3566在LPDDR4X情形下的DDR电源及去耦.....	33
图 2-27 RK3566 0.9V相关电源设计.....	34
图 2-28 RK3566 1.8V相关电源设计.....	34
图 2-29 RK817-5 框图	35
图 2-30 RK3566 + RK817-5 典型应用电源树.....	37
图 2-31 RK817-5 PWRON管脚	38
图 2-32 RK817-5 电池放电路径	38
图 2-33 RK809-5 框图	39
图 2-34 RK3566 + RK809-5 典型应用电源树.....	41
图 2-35 RK809-5 PWRON管脚	42
图 2-36 RK3566 TSADC_SHUT过温保护输出.....	43
图 2-37 RK3566 PMIC_SLEEP输出	43
图 2-38 RK817-5 PMIC_SLEEP输入.....	43
图 2-39 RK3566 SDMMC0模块	44
图 2-40 RK3566 WIFI/BT连接示意	45
图 2-41 RK3566 WIFI/BT控制信号连接示意.....	46
图 2-42 RK3566 USB2.0 OTG/HOST1模块.....	47
图 2-43 RK3566 USB2.0 OTG VBUSDET分压电路.....	47
图 2-44 RK3566 USB2.0 OTG信号电路防护.....	48
图 2-45 RK3566 USB2.0 HOST2/HOST3模块.....	48
图 2-46 RK3566 USB3.0模块	49
图 2-47 RK3566 USB3.0信号电路防护.....	49

图 2-48 RK3566 USB控制器电源设计	50
图 2-49 RK3566 SAR-ADC模块	51
图 2-50 RK3566 UART2调试点	53
图 2-51 RK3566 UART2接口防护电路	53
图 2-52 RK3566 串口配置	53
图 2-53 RK3566 GMAC Clock电路	57
图 2-54 RK3566 RGMII RMII信号对应关系.....	58
图 2-55 RK3566 SPDIF光纤接口电路	61
图 2-56 RK817-5 Codec电路	62
图 2-57 RK817-5 Headphone电路	63
图 2-58 RK817-5 Speaker电路	63
图 2-59 RK817-5 外接模拟功放示意图.....	64
图 2-60 RK817-5 外接四段耳机与单端麦克风示意图.....	64
图 2-61 RK817-5 外接差分麦克风示意图.....	65
图 2-62 RK3566视频输出接口路径示意图.....	66
图 2-63 RK3566 MIPI-DSIO/DSI1及LVDS0接口.....	66
图 2-64 RK3566 MIPI-CSI电源串接磁珠示意.....	67
图 2-65 RK3566 eDP接口	68
图 2-66 RK3566 HDMI接口	69
图 2-67 RK3566 HDMI CEC防倒灌电路.....	69
图 2-68 RK3566 HDMI I2C电平转换电路.....	70
图 2-69 RK3566 HDMI信号的ESD防护.....	70
图 2-70 RK3566 MIPI-CSI模块	72
图 2-71 RK3566 MIPI-CSI工作模式与数据/时钟分配.....	73
图 2-72 RK3566 MIPI-CSI电源串接磁珠示意.....	73
图 2-73 RK3566 DVP (CIF) 并口摄像头信号对应表.....	74
图 2-74 RK3566 MULTI PHY路径示意图.....	75
图 2-75 RK3566 MULTI PHY信号与电源.....	76
图 3-1 θ_{JA} 的定义	79
图 3-2 θ_{JC} 的定义	79
图 3-3 θ_{JB} 的定义	79
图 5-1 回流焊曲线分类	86
图 5-2 无铅工艺器件封装体耐热标准.....	86
图 5-3 无铅回流焊接工艺曲线	86
图 6-1 芯片干燥真空包装	88
图 6-2 六点湿度卡	89

插 表 目 录

表 2-1 RK3566 24MHz时钟要求	12
表 2-2 RK3566 32.768KHz时钟要求.....	13
表 2-3 RK3566 系统初始化配置信号描述.....	15
表 2-4 RK3566 JTAG Debug接口信号.....	15
表 2-5 RK3566 eMMC接口设计	21
表 2-6 RK3566 Nand Flash接口设计.....	23
表 2-7 RK3566 FSPI接口设计	24
表 2-8 RK3566 GPIO电源脚描述	26
表 2-9 RK3566芯片电源需求表	27
表 2-10 RK3566 内部PLL介绍	29
表 2-11 RK3566 SDMMC0接口设计	44
表 2-12 RK3566 SDIO接口设计	46
表 2-13 RK3566 USB2.0接口设计	50
表 2-14 RK3566 SARADC接口设计	51
表 2-15 RK3566 UART接口分布情况.....	51
表 2-16 RK3566 I2C接口分布情况	54
表 2-17 RK3566 PWM接口分布情况	54
表 2-18 RK3566 SPI接口分布情况	55
表 2-19 RK3566 RGMII/GMII接口设计.....	57
表 2-20 RK3566 I2S1接口设计	59
表 2-21 RK3566 I2S2接口设计	59
表 2-22 RK3566 I2S3接口设计	60
表 2-23 RK3566 PDM接口设计	61
表 2-24 RK3566 SPDIF接口设计	61
表 2-25 RK3566音频应用场景与图纸对应关系.....	65
表 2-26 RK3566 MIPI-DSI接口设计.....	67
表 2-27 RK3566 LVDS接口设计	67
表 2-28 RK3566 eDP接口设计	68
表 2-29 RK3566 HDMI接口设计	70
表 2-30 RK3566 BT1120输出的信号描述.....	71
表 2-31 RK3566 BT656输出的信号描述.....	71
表 2-32 RK3566 EBC输出的信号描述	71
表 2-33 RK3566 MIPI-CSI接口设计.....	73
表 2-34 RK3566 DVP (CIF) 接口设计.....	75
表 2-35 RK3566 MULTI PHY分配组合.....	75
表 2-36 RK3566 SATA接口设计	76
表 2-37 RK3566 PCIe接口设计	77
表 3-1 RK3566 芯片热阻仿真报告结果.....	78
表 3-2 RK3566 芯片热阻仿真的PCB结构.....	78
表 5-1 SMT曲线参数	87
表 6-1 暴露时间参照表 (MSL)	89
表 6-2 RK3566 Re-bake参考表	90

1 系统概述

1.1 概述

RK3566 是一颗高性能、低功耗的四核应用处理器芯片，专为个人移动互联网设备和 AIoT 设备而设计，可广泛应用于平板、教育平板、带屏音箱、词典笔、云终端、视频会议系统等安卓/Linux 类应用方案，以及其它带屏消费类、或轻量级 AI 应用场景。

RK3566 内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持几乎全格式的 H.264 4k@60fps 解码，支持 H.265 4k@60fps 解码，也支持 H.264/H.265 1080p@60fps 编码，以及高品质的 JPEG 的编/解码。

RK3566 内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.0 和 Vulkan 1.0。特殊的 MMU 2D 硬引擎能最大限度地提高显示性能，并提供流畅的体验操作。

内嵌的 NPU 支持 INT8/INT16 混合操作。此外，凭借其强大的兼容性，可以轻松地转换基于 TensorFlow / MXNet/PyTorch/Caffe 等一系列框架的网络模型。

RK3566 具有高性能的存储器接口（DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X），能够提供高性能场景下所需的内存带宽。

1.2 芯片框图

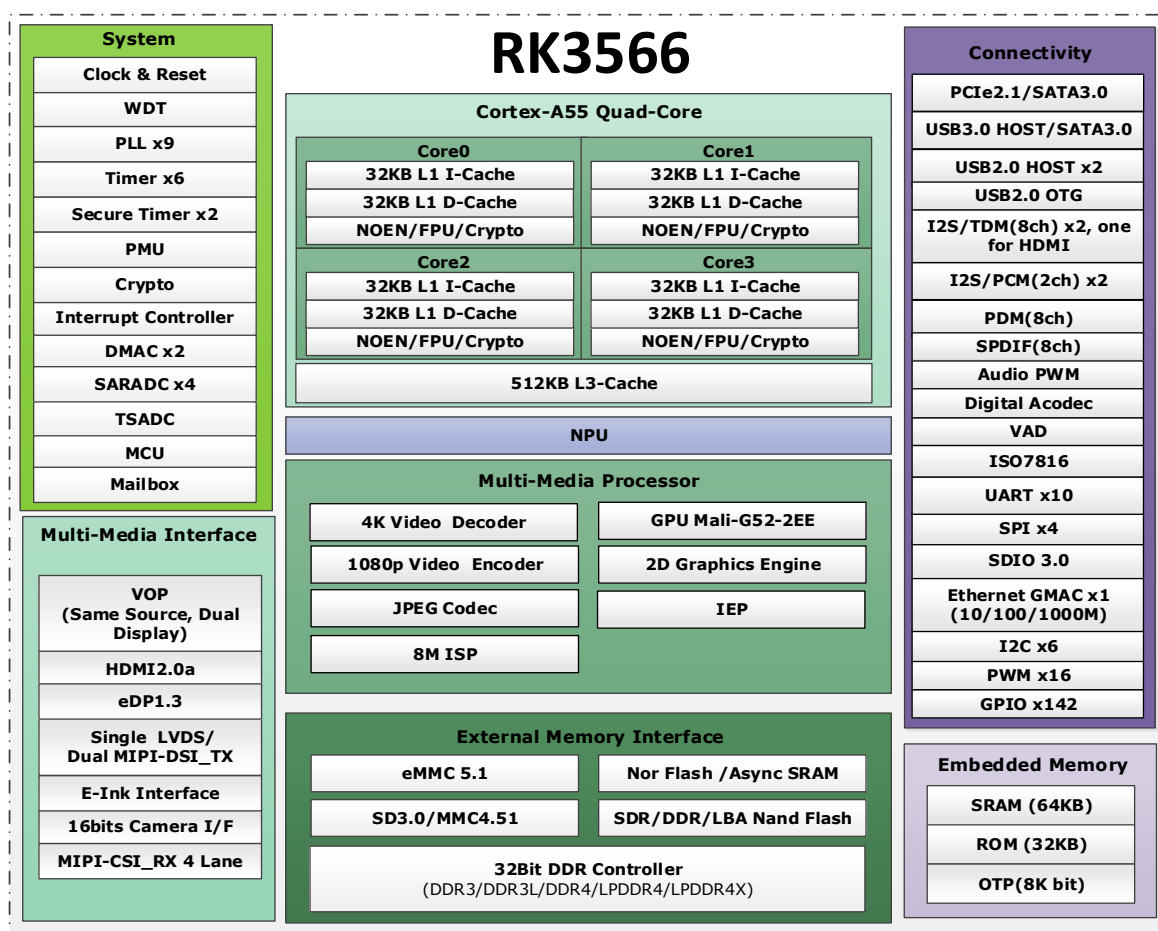


图 1-1 RK3566 芯片功能框图

1.3 应用框图

1.3.1 RK817-5 应用框图

**RK3566 Ref Block Diagram
(Typical Application Case)**

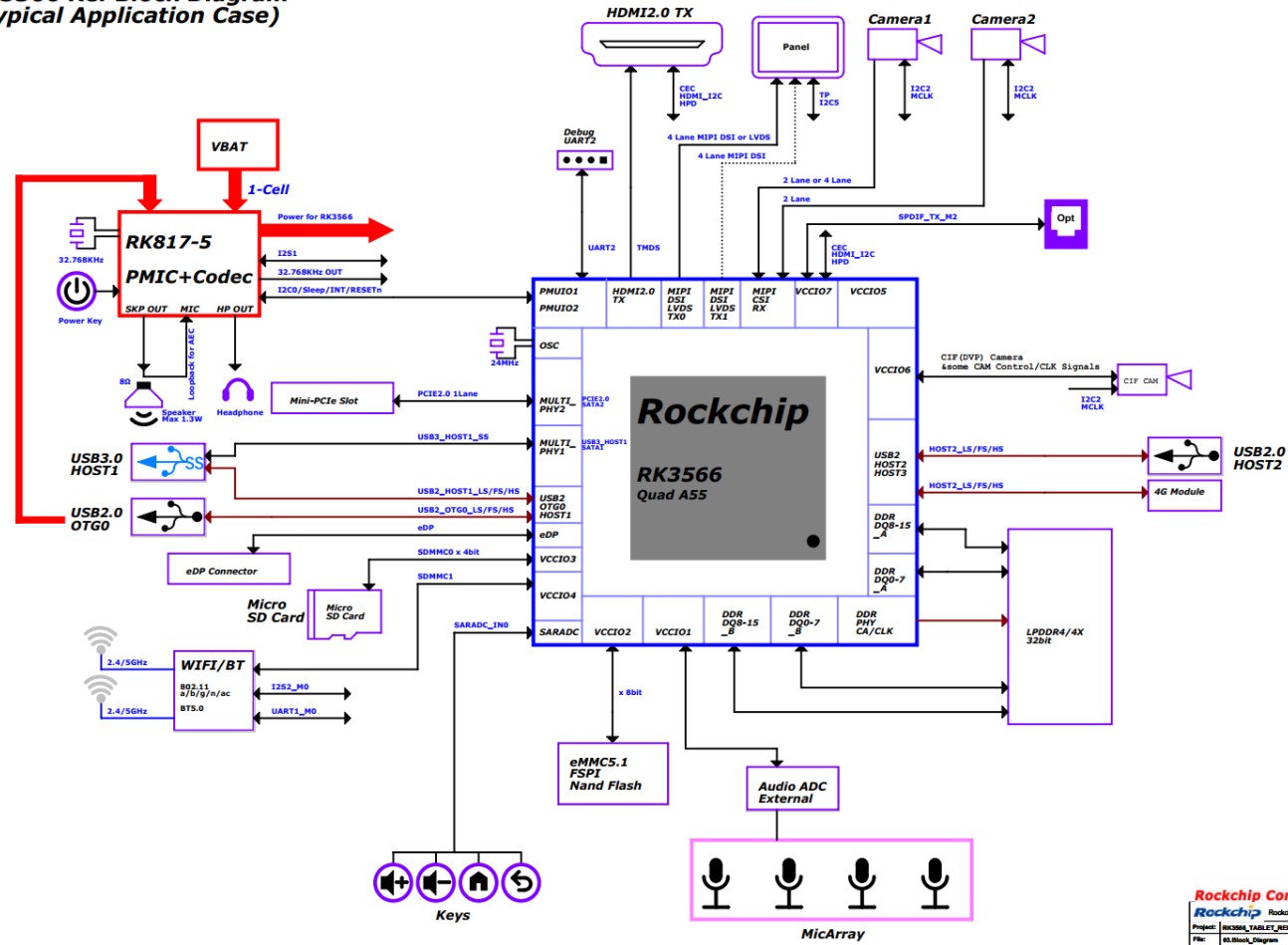


图 1-2 RK3566 RK817-5应用框图

1.3.2 RK809-5 应用框图

**RK3566 Ref Block Diagram
(Typical Application Case)**

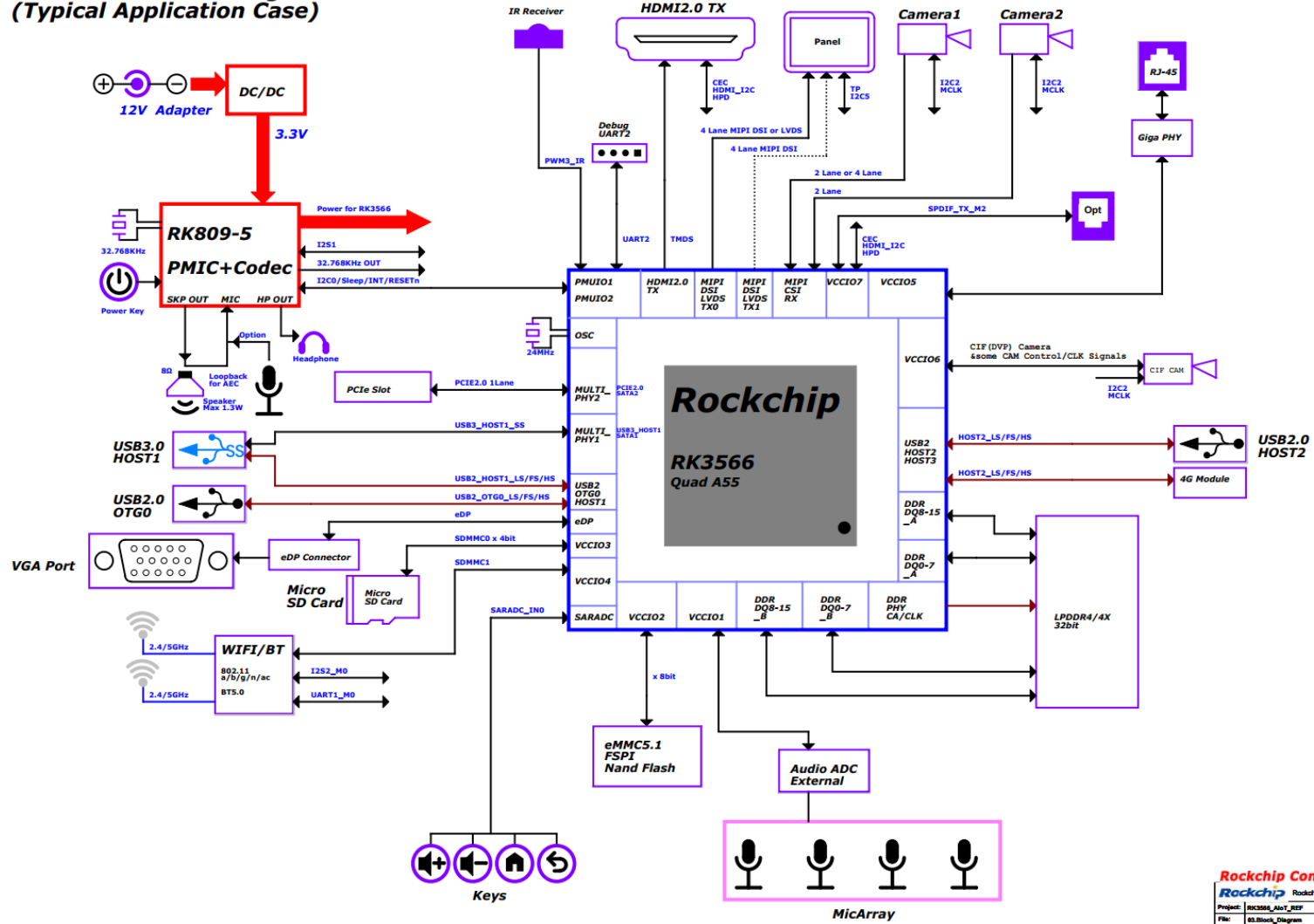


图 1-3 RK3566 RK809-5应用框图

Rockchip Confidential.
Rockchip Rockchip Electronics Co., Ltd
Project: rk3566_Auto_REF
File: rk3566_blockDiagram

2 硬件设计建议

2.1 最小系统设计

2.1.1 时钟电路

RK3566 芯片内部的振荡器电路与外置的 24MHz 晶体一起构成系统时钟电路，推荐的晶体连接方式及器件参数如图 2-1 所示。XOUT24M 网络串接的 22ohm 电阻必须保留，用于限流、防止过驱；XOUT24M 和 XIN24M 网络之间的 1M 电阻不可随意修改。

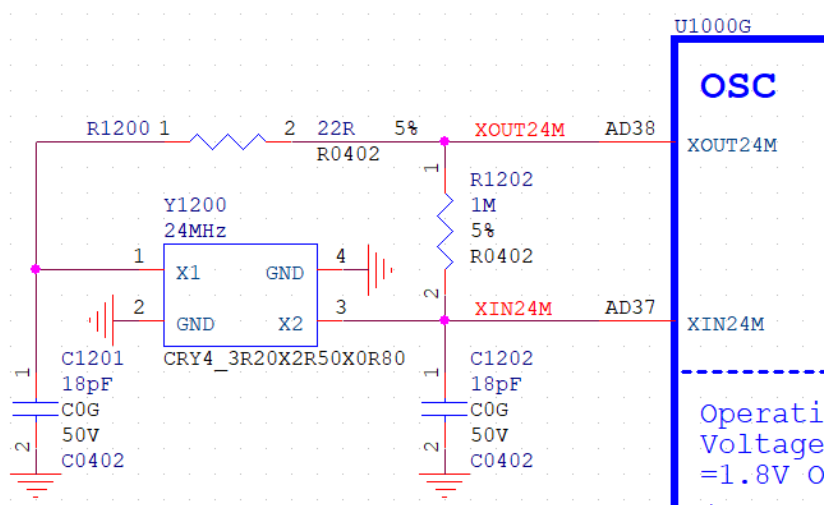


图 2-1 RK3566 晶体连接方式及器件参数



注意

选用的电容需要与晶体负载电容匹配，材质建议采用 NPO/COG，建议选用 4-Pin 贴片晶体，其中 2 个 GND 管脚与地充分连接，增强系统时钟抗 ESD 干扰能力。18pF 为我司选用晶体所对应电容值，并不为通用值。

系统时钟还可以直接由外部的有源晶振电路产生时钟，时钟幅度为 1.8V。时钟通过 XIN24M 管脚输入，XOUT24M 管脚悬空，时钟参数如下表 2-1 所示：

表 2-1 RK3566 24MHz 时钟要求

参数	规范			描述
	最小 Min.	最大 Max.	单位 Unit	
频率	24.000000		MHz	
频率偏差	+/-20		ppm	频率容忍范围
时钟幅度	1.8		V	峰峰值
工作温度	-20	80	°C	
ESR	/	40	Ohm	

RK3566 芯片在待机时,能够通过降低系统时钟频率达到降低系统功耗的目的。此时,可以使用芯片 PMU 内部的 PVTM(Process Voltage Temperature Monitor)模块提供 32.768k 时钟,也可以使用外部输入的 32.768k 时钟。对深度睡眠功耗要求比较极致的情况下,应选择使用外部时钟,从 CLK32K_IN 管脚输入。

待机状态下,支持 PMUIO0、PMUIO1 与 PMUIO2 电源域中的 IO 中断唤醒。若需求的唤醒源和 24MHz 的时钟有关,则不能关闭 24MHz 时钟。

外置 32.768kHz RTC 时钟参数如下表 2-2 所示:

表 2-2 RK3566 32.768KHz时钟要求

参数	规范			描述
	最小 Min.	最大 Max.	单位 Unit	
频率	32.768000			kHz
频率偏差	+/-30			ppm
时钟幅度	0.65*VDD	VDD+0.3	V	VDD 为 PMUIO2 电源域电源电压
工作温度	-20	80	°C	
占空比	50			%

2.1.2 复位电路

RK3566 芯片的硬件复位通过 nPOR (RESET) 管脚输入,低电平有效,为保证芯片稳定和正常工作,所需的最短复位时间为 100 个 24MHz 主时钟周期,即至少 4us 以上。

复位信号需要靠近管脚并联 100nF 电容,用来消除复位信号上的抖动,增强抗干扰能力,防止误触发导致的系统异常复位。RESET 管脚的上拉电平应与 nPOR 管脚所在的 IO 电源域 (PMUIO1) 保持一致。

参考设计配套 PMIC RK809-5 或 RK817-5 供电方案,PMIC 的默认输出的各路电源上电完成后,RESET 管脚再延迟输出,低电平跳变成为高电平,完成上电复位动作;当 PMIC 在工作或 sleep 模式下,若 RESET 管脚被拉低,PMIC 也会发生重启,重启的上电时序和默认上电相同。

若设计中未使用配套的 PMIC,选用分立器件实现供电,则应为 RK3566 选用独立的复位 IC、或从其他芯片获取复位信号。

相关电路如图所示,走线中应注意远离干扰信号、干扰器件、金属接插件、PCB 板边缘等,做好包地处理,包地路径打地过孔,地孔间隔不大于 300mil:

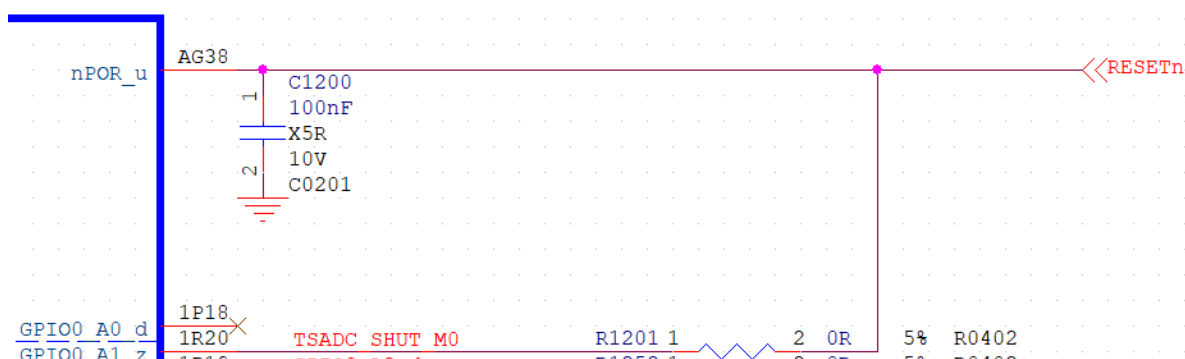


图 2-2 RK3566 复位输入

2.1.3 看门狗/TSADC 电路

RK3566 芯片内部集成了看门狗定时器，当产生看门狗复位时，可以通过 TSADC_SHUT_M0 或 TSADC_SHUT_M1 管脚输出低电平，对 RK3566 进行硬件复位。

RK3566 内部集成了两个 TSADC(Temperature-Sensor ADC)模块，当芯片内部温度超过阈值时，可以通过内部 TSHUT 信号给 CRU 模块，对 RK3566 进行复位。也可以通过 TSADC_SHUT_M0 或 TSADC_SHUT_M1 管脚输出低电平，对 RK3566 进行硬件复位。

如图 2-2 所示，TSADC_SHUT_M0 连接到 RESETn 网络。

2.1.4 PMU 单元电路

为了满足低功耗设计的需求，RK3566 设计了一个电源管理单元(PMU)，用于控制管理芯片内部电源。

需要注意的是一些功能或模块在休眠状态下是无法工作的，具体的划分列表可参考 TRM 文档中 PMU 章节对于电压域 (VD)、电源域 (PD) 及相关的描述。

2.1.5 系统启动引导顺序

RK3566 系统支持多种启动引导方式，在系统复位后，芯片内部集成的启动代码会按如下顺序进行自动引导，优先级从高到低依次为：

- Serial Nor Flash (FSPI)
- Serial Nand Flash (FSPI)
- Nand Flash
- eMMC Flash
- SDMMC Card

若存储介质中没有引导代码，在通过 USB OTG0 接口连接到 PC 时，会在烧录工具中找到 maskrom 设备（需要安装好对应的驱动），此时可进行固件的烧录。

2.1.6 系统初始化配置信号

RK3566 系统中有两个重要信号会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定，分别是：

- VCCIO2 (FLASH) 电源域的电平配置管脚 FLASH_VOL_SEL；
- JTAG/SDMMC 复用功能控制管脚 SDMMC0_DET；

在系统复位释放时，芯片会根据两个管脚的输入电平配置相应模块的默认开机功能。

RK3566 VCCIO2 电源域的 IO 电平模式需要硬件配置，因为其属于 FLASH 电源域，对系统引导存在影响，所以在系统启动的时候，必须先通过硬件配置来指定默认电平模式，而无法通过寄存器操作去调整，配置如下图所示。

- VCCIO2、存储接口的 IO 电平是 1.8V，则 FLASH_VOL_SEL 管脚在复位期间需保持为高电平；
- VCCIO2、存储接口的 IO 电平是 3.3V，则 FLASH_VOL_SEL 管脚在复位期间需保持为低电平。

该管脚的配置需严格与外部存储接口的实际 IO 供电相匹配，避免影响系统稳定性或引起损坏。

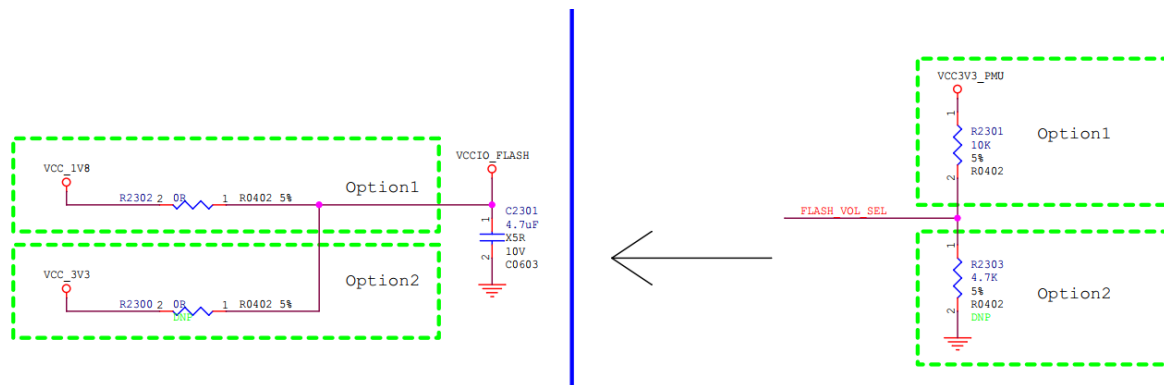


图 2-3 RK3566 FLASH_VOL_SEL管脚电平与VCCIO2状态对应关系

RK3566 为减少 IO 引出与考虑到整机调试的方便，将 JTAG 功能与 SDMMC 功能复用在一起，通过 SDMMC0_DET 管脚来切换输出功能，故该管脚也需要在上电前完成配置，否则 JTAG 功能无输出会影响到引导阶段的调试，而 SDMMC0 无输出会影响到 SDMMC boot 功能。

- SDMMC0_DET 管脚检测为高电平，则对应 IO 切换到 JTAG 功能；
- SDMMC0_DET 检测到为低电平（正常 SD 卡插入的状态，由 SD 卡槽拉低该管脚），对应 IO 切换为 SDMMC 功能；

管脚如下图所示：



图 2-4 RK3566 SDMMC0/JTAG复用控制管脚

为方便查询，两个管脚的配置状态与功能对应如下表所示：

表 2-3 RK3566 系统初始化配置信号描述

信号名	内部上下拉	描述
FLASH_VOL_SEL	上拉 pull up	FLASH(VCCIO2) 电源域电平配置管脚： 0：IO 电平模式为 3.3V； 1：IO 电平模式为 1.8V；
SDMMC0_DET	上拉 pull up	JTAG 管脚复用选择控制信号： 0：识别为 SD 卡插入，SDMMC/JATG/UART 管脚复用为 SDMMC 功能； 1：未识别为 SD 卡插入，SDMMC/JATG/UART 管脚复用为 JTAG/UART 功能；

2.1.7 JTAG Debug 电路

RK3566 芯片的 ARM_JTAG 接口符合 IEEE1149.1 标准，PC 可通过 SWD 模式（两线模式）连接 DSTREAM 仿真器，调试芯片内部的 ARM Core。设计初期建议预留出这两个信号的测试点。

在连接仿真器前，需要保证 SDMMC0_DET 管脚处于高电平，否则无法进入 JTAG 调试模式，该管脚的配置见上节描述。ARM_JTAG 接口说明如下表：

表 2-4 RK3566 JTAG Debug接口信号

信号名	描述
ARM_JTAG_TCK	SWD 模式 JTAG 时钟输入
ARM_JTAG_TMS	SWD 模式 JTAG 数据输入输出

JTAG 的连接方式及标准连接器管脚定义如下图所示，一般客户首版本仅需按参考图预留测试点即可，调试稳定版本可无需预留：

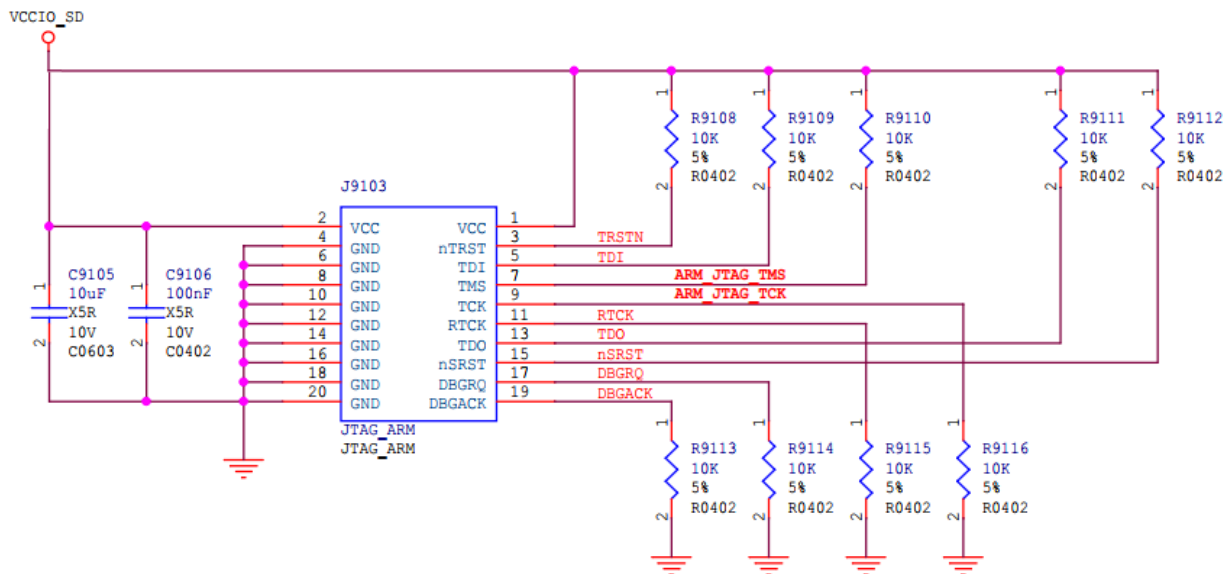


图 2-5 RK3566 SWD模式JTAG连接电路

RK3566 的 MCU_JTAG 模块暂不对外开放，无需进行特别的处理。

2.1.8 UART Debug 电路

见“调试 UART 电路”章节描述。

2.1.9 DDR 电路

2.1.9.1 DDR 控制器介绍

RK3566 DDR 控制器接口支持 JEDEC SDRAM 标准接口，控制器有如下特点：

- 支持 DDR3/DDR3L/LPDDR3/DDR4/LPDDR4/LPDDR4X 等标准；
- DDR3/DDR3L/DDR4 接口模式下，支持 32bits 数据总线宽度，2ranks（片选），最大总寻址地址 8GB；
- LPDDR3/LPDDR4/LPDDR4X 接口模式下，支持 32bits 数据总线宽度，4ranks（片选），最大总寻址地址 8GB；
- 支持 Power Down、Self Refresh 等低功耗模式；

2.1.9.2 DDR 拓扑结构与连接方式

为简化用户 DDR 模板设计与保证系统可靠性，官针对主流的 DDR 颗粒和类型均提供了 Layout 模

板，用户可参考使用。对原理图和模板的引用需严格保持一致，包括电源去耦电容及其位置。

以 LPDDR3 为例，RK3566 的 SDRAM 拓扑结构如下图所示，其余 DDR 颗粒的拓扑结构参考具体原理图连接：

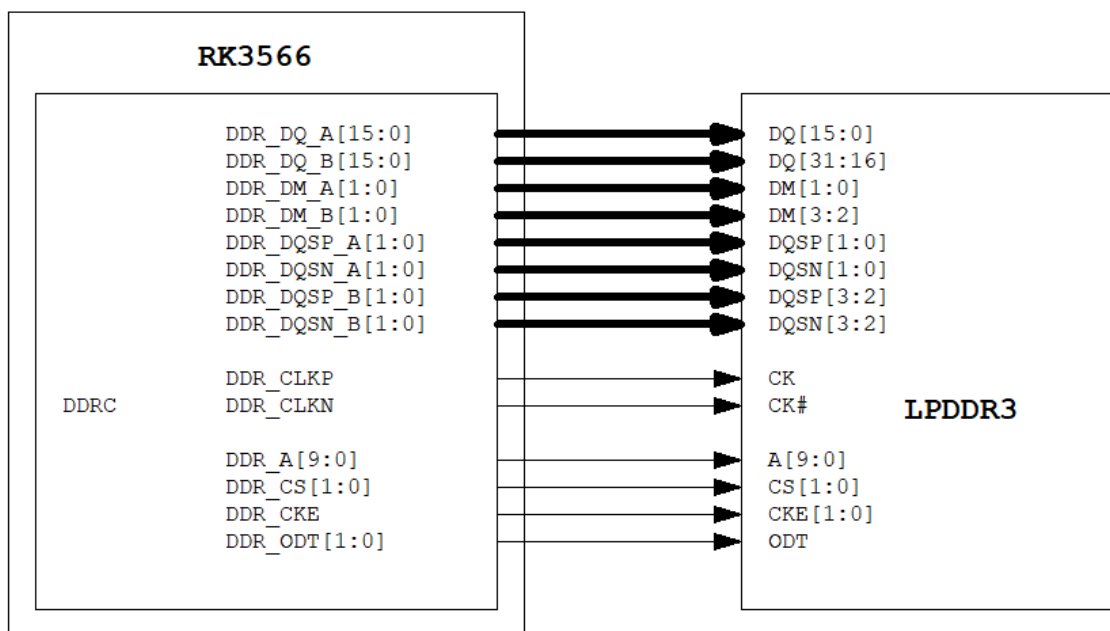


图 2-6 RK3566 LPDDR3 的拓扑结构图

对于需要自行进行 DDR Layout 的客户，应注意以下的限定：

- DDR3/DDR3L:
 - 支持 Byte 间整组对调，支持 Byte 内的 DQ 对调；
 - CA 顺序不可对调，必需按参考图进行分配；
 - 如果要支持总位宽 16bit/32bit 兼容的模板，那么必须使用 RK 提供的模板，不允许不一样；
- LPDDR3:
 - 必须保持颗粒端 D0-D7 和主控 LPDDR3 控制器的 D0-D7 一一对应连接，以及保证相关联的 DQS、DM 的一一对应关系，这组 Byte 不支持调整；
 - 其它 Byte 间支持整组对调；
 - 其它 Byte 内的 DQ 支持对调；
 - CA 顺序不可对调，必须按参考图上分配；
- DDR4:
 - 支持 Byte 间整组对调；
 - 支持 Byte 内的 DQ 对调；
 - CA 顺序不可对调，必须按参考图上分配；
 - 如果要支持总位宽 16bit/32bit 兼容的模板，那么必须使用 RK 提供的模板，不允许不一样；
- LPDDR4/LPDDR4X:
 - DQ、CA 顺序全部不支持对调，必须按参考图上分配；

2.1.9.3 LPDDR3 颗粒的 DQ 连接说明

上小节提到，LPDDR3 颗粒的 D[7:0] Byte 不支持调整。请保持颗粒端 D[7:0] 与主控 DQ 的对应关系，以及关联的 DQS 的对应关系，如下图所示，勿改动。

LPDDR3 1x32bit

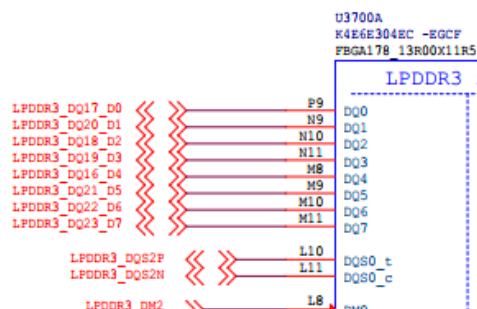


图 2-7 LPDDR3颗粒的DQ[7:0]连接说明

2.1.9.4 DDR 上电时序要求

对于 DDR3/DDR3L/LPDDR3/DDR4/LPDDR4 类型的内存颗粒,RK3566 DDR 控制器仅有一组供电:DDR_VDDQ, DDR_VDDQ 用于 DDR 控制器的 Core 供电、接口 I/O 供电以及输出缓冲器供电。

而对于 LPDDR4X 类型的内存颗粒,RK3566 DDR 控制器则分为两组供电:DDR_VDDQ 和 DDR_VDDQL,后者为输出缓冲器的电源。

对应不同颗粒下 VDDQ/VDDQL 的供电电压如图所示:

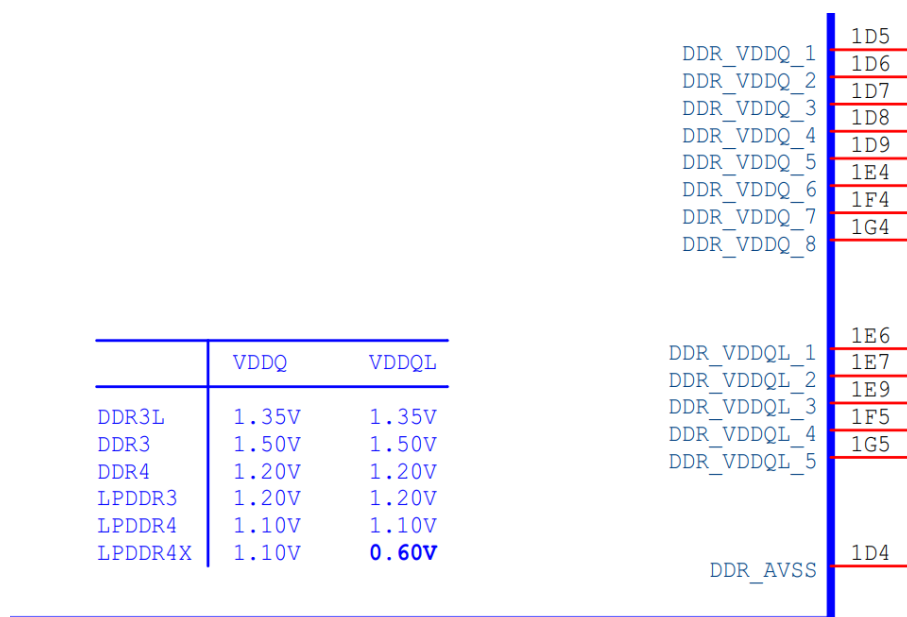


图 2-8 不同DDR颗粒对应VDDQ/VDDQL供电电压

SDRAM 颗粒则通常包括两组供电,上电时序请参考各自颗粒的 JEDEC 标准,简单介绍如下:

DDR3/DDR3L SDRAM 的上电时序如下图所示:

1. Apply power (RESET# is recommended to be maintained below $0.2 \times V_{DD}$; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled “Low” anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to V_{DDmin} must be no greater than 200 ms; and during the ramp, $V_{DD} > V_{DDQ}$ and $(V_{DD} - V_{DDQ}) < 0.3$ volts.
 - VDD and VDDQ are driven from a single power converter output, AND
 - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
 - Vref tracks VDDQ/2.

OR

- Apply VDD without any slope reversal before or at the same time as VDDQ.
- Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
- The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 2-9 DDR3 SDRAM上电时序

LPDDR3 SDRAM 的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	V_{DD1} must be greater than $V_{DD2} - 200mV$
	V_{DD1} and V_{DD2} must be greater than $V_{DDCA} - 200mV$
	V_{DD1} and V_{DD2} must be greater than $V_{DDQ} - 200mV$
	V_{Ref} must always be less than all other supply voltages

图 2-10 LPDDR3 SDRAM上电时序

DDR4 SDRAM 的上电时序如下图所示：

1. Apply power (RESET_n is recommended to be maintained below $0.2 \times V_{DD}$; all other inputs may be undefined). RESET_n needs to be maintained for minimum 200us with stable power. CKE is pulled “Low” anytime before RESET_n being de-asserted (min. time 10ns) . The power voltage ramp time between 300mV to V_{DD} min must be no greater than 200ms; and during the ramp, $V_{DD} \geq V_{DDQ}$ and $(V_{DD} - V_{DDQ}) < 0.3$ volts. VPP must ramp at the same time or earlier than VDD and VPP must be equal to or higher than VDD at all times.
 - VDD and VDDQ are driven from a single power converter output, AND
 - The voltage levels on all pins other than $V_{DD}, V_{DDQ}, V_{SS}, V_{SSQ}$ must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side. In addition, V_{TT} is limited to TBDV max once power ramp is finished, AND
 - VrefCA tracks TBD.
 - or
 - Apply V_{DD} without any slope reversal before or at the same time as V_{DDQ}
 - Apply V_{DDQ} without any slope reversal before or at the same time as V_{TT} & VrefCA.
 - Apply VPP without any slope reversal before or at the same time as VDD.
 - The voltage levels on all pins other than $V_{DD}, V_{DDQ}, V_{SS}, V_{SSQ}$ must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side.

图 2-11 DDR4 SDRAM上电时序

LPDDR4 SDRAM 的上电时序如下图所示：

1. While applying power (after T_a), RESET_n is recommended to be LOW ($\leq 0.2 \times V_{DD2}$) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 5. V_{DD1} must ramp at the same time or earlier than V_{DD2} . V_{DD2} must ramp at the same time or earlier than V_{DDQ} .

Table 5 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}
	V_{DD2} must be greater than $V_{DDQ} - 200$ mV

NOTE 1 T_a is the point when any power supply first reaches 300 mV.

NOTE 2 Voltage ramp conditions in Table 5 apply between T_a and power-off (controlled or uncontrolled).

NOTE 3 T_b is the point at which all supply and reference voltages are within their defined ranges.

NOTE 4 Power ramp duration t_{INIT0} ($T_b - T_a$) must not exceed 20ms.

NOTE 5 The voltage difference between any of V_{SS} and V_{SSQ} pins must not exceed 100 mV.

图 2-12 LPDDR4 SDRAM上电时序

2.1.9.5 DDR_RZQ 信号的处理

需要注意的是 DDR_RZQ 的接法因 DDR 颗粒类型存在差别：

- 当使用 DDR3/DDR3L/DDR4/LPDDR3 颗粒时，需将 DDR_RZQ 通过一颗 1%精度的 120ohm 电阻接地；
- 当使用 LPDDR4/LPDDR4X 颗粒时，则应将 DDR_RZQ 通过一颗 1%精度的 120ohm 电阻上拉至 VCC_DDR 电源。

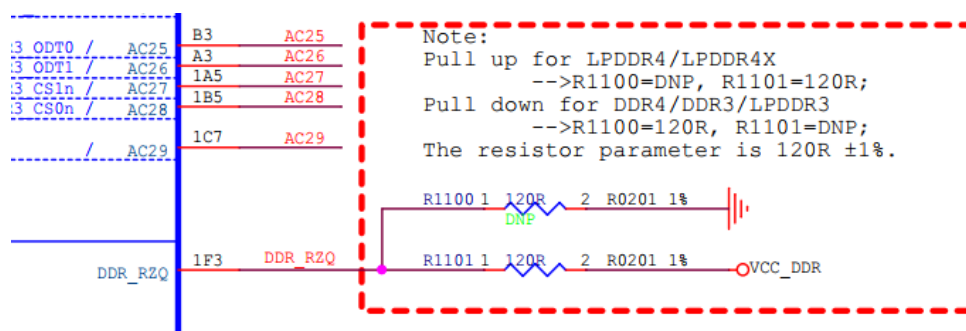


图 2-13 DDR_RZQ接法说明

2.1.9.6 DDR_VREFOUT 电压输出的连接用法

RK3566 的 DDR PHY 可向 DDR 颗粒的 VREFDQ 或 VREFCA 提供电压，针对不同颗粒的具体连接用法如下：

- DDR3/DDR3L：提供给 DDR3/DDR3L 颗粒的 VREFDQ，默认电压为 0.75/0.675V，可通过寄存器调整输出电压值；DDR3/DDR3L 颗粒的 VREFCA 依然通过 VCC_DDR 经分压电路获得；
- LPDDR3：提供给 LPDDR3 颗粒的 VREFDQ，电压和 ODT 配置相关，可通过寄存器调整输出电压值；LPDDR3 颗粒的 VREFCA 依然通过 VCC_DDR 经分压电路获得；
- DDR4：提供给 DDR4 颗粒的 VREFCA，默认电压为 0.6V，可通过寄存器调整输出电压值；
- LPDDR4/LPDDR4X：无需使用。

2.1.9.7 DDR 支持的型号列表

RK3566 DDR 最高工作频率受 Layout 影响较大，目前官方提供的模板大多数可支持最高工作频率到 1056MHz，具体的速率请查看发布资料中的 DDR 模板文件相关说明。

建议客户优选官方提供的 DDR 模板进行设计，以确保系统的可靠性、稳定性，若遇到必须自行设计的情况，请咨询 RK 更详细的 Layout 限定。

DDR 颗粒支持列表请参考瑞芯微电子《RK DDR Support List》文档，该文档可在瑞芯微电子的 redmine 平台下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

2.1.10 eMMC 电路

2.1.10.1 eMMC 控制器介绍

RK3566 eMMC 控制器有如下特点：

- 兼容 iNAND 接口标准；
- 兼容 4.41, 4.51, 5.0 和 5.1 规范；
- 支持 1-bit, 4-bit 和 8-bit 三种数据总线宽度；
- 支持 HS200 模式；
- 支持 CMD Queue；

2.1.10.2 eMMC 拓扑结构与连接方式

eMMC 接口上下拉和匹配设计推荐如下表，其中 D0 与 CMD 信号的上拉电阻必须保留，DATA_STROBE 信号的下拉电阻建议预留。

eMMC 颗粒的 VDDi 管脚的电容必须为 2.2uF，或视具体颗粒规格书要求的更大容值。

表 2-5 RK3566 eMMC接口设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连，D0 用外部 10k 电阻上拉，其余 Data 线使用内部上拉	eMMC 数据发送/接收
eMMC_CLK	下拉	RK3566 输出端串联 22ohm 电阻	eMMC 时钟输出
eMMC_DATA_STROBE	下拉	直连，预留下拉电阻	eMMC 时钟输入
eMMC_CMD	上拉	直连，用外部 10k 电阻上拉	eMMC 命令发送/接收

2.1.10.3 eMMC 上电时序要求

RK3566 芯片 eMMC 控制器属于 VCCIO2 电源域，只有一组供电，并无时序要求。但需要注意的是，该电源的电平需与上文提及的 FLASH_VOL_SEL 状态配置相匹配。

eMMC 颗粒有两组电源，上电时序请参考 JEDEC 标准：

- VCC 与 VCCQ 在上电时序上没有先后要求；

- VCC 与 VCCQ 必须在 RK3566 的 CMD 命令发出前上电，并保持稳定的工作电压；
- 在颗粒进入睡眠模式后，RK3566 可以关断 VCC 电源以降低功耗；
- 在颗粒从睡眠模式被唤醒前，VCC 电源必须先上电，并保持稳定的工作电压；

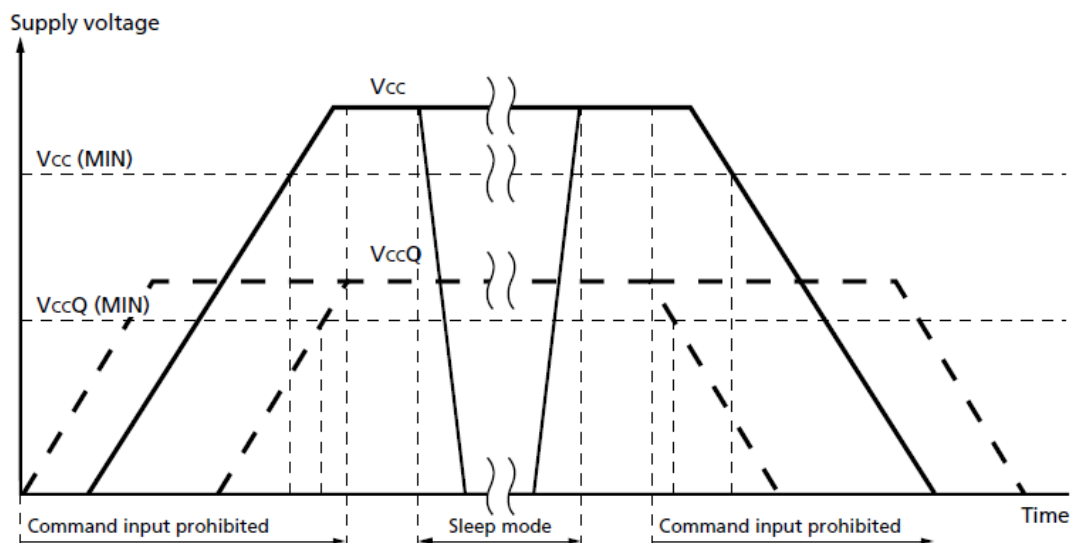


图 2-14 eMMC颗粒上下电时序

2.1.10. 4MASKROM 烧录测试点说明

在开发过程中请预留 eMMC D0/CLK 的测试点，避免固件烧录失败后无法进入 Maskrom 烧录模式，预留方式见参考原理图，layout 时应严格缩短测试点与信号走线的分支。

2.1.10. 5eMMC 支持的型号列表

RK3566 eMMC 颗粒支持列表请参考瑞芯微电子《RK eMMCSupportList》文档，该文档可在瑞芯微电子的 redmine 平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

2.1.11 Nand Flash 电路设计

2.1.11.1 Nand Flash 控制器介绍

RK3566 Nand Flash 控制器有如下特点：

- 支持 SLC、MLC、TLC Nand Flash；
- 支持 8 位数据宽度的异步闪存接口；
- 支持 8 位数据宽度的 ONFI 同步闪存接口；
- 支持 8 位数据宽度的 Toggle 闪存接口；
- 支持 16 位 BCH/ECC。

2.1.11.2 Nand Flash 拓扑结构与连接方式

Nand Flash 接口上下拉和匹配设计推荐如下表，FLASH_RDY/FLASH_CS0n/FLASH_CS1n 的上拉电阻必须保留：

表 2-6 RK3566 Nand Flash接口设计

信号	内部上下拉	连接方式	描述（芯片端）
FLASH_D[7:0]	上拉	直连	Nand Flash 数据发送/接收
FLASH_WRn	上拉	直连	Nand Flash 写使能
FLASH_DQS	下拉	直连	Nand Flash 数据选通
FLASH_CLE	下拉	直连	Nand Flash 命令锁存使能
FLASH_WPn	下拉	直连	Nand Flash 写保护
FLASH_ALE	下拉	直连	Nand Flash 地址锁存使能
FLASH_RDY	上拉	直连，外部用 4.7k 电阻上拉	Nand Flash 就绪/忙碌状态
FLASH_RDn	上拉	直连	Nand Flash 读使能
FLASH_CS0n	上拉	直连，外部用 4.7k 电阻上拉	Nand Flash 片选 0
FLASH_CS1n	上拉	直连，外部用 4.7k 电阻上拉	Nand Flash 片选 1

2.1.11.3 Nand Flash 上电时序要求

RK3566 芯片 Nand Flash 控制器属于 VCCIO2 电源域，只有一组供电，并无时序要求。但需要注意的是，该电源的电平需与上文提及的 FLASH_VOL_SEL 状态配置相匹配。

Nand Flash 颗粒有两组电源，上电时序请参考 JEDEC 标准：

Once V_{CC} and V_{CCQ} reach the V_{CC} minimum and V_{CCQ} minimum values, respectively, listed in Table 5 and power is stable, the R/B_n signal shall be valid after RB_valid_Vcc and shall be set to one (Ready) within RB_device_ready, as listed in Table 16. R/B_n is undefined until 50 μ s has elapsed after V_{CC} has started to ramp. The R/B_n signal is not valid until both of these conditions are met.

Parameter	Raw NAND	EZ NAND
RB_valid_Vcc	10 μ s	250 μ s
RB_device_ready	1 ms	2 ms

Table 16 R/B_n Power-on Requirements

During power-on, V_{CCQ} shall be less than or equal to V_{CC} at all times. Figure 19 shows V_{CCQ} ramping after V_{CC} , however, they may ramp at the same time.

图 2-15 Nand Flash颗粒上下电时序

2.1.11.4 Nand Flash 烧录测试点说明

在开发过程中请预留 FLASH D0/CLK 的测试点，避免固件烧录失败后无法进入 Maskrom 烧录模式，预留方式见参考原理图，layout 时应严格缩短测试点与信号走线的分支。

2.1.11. 5Nand Flash 支持的型号列表

RK3566 Nand Flash 颗粒支持列表请参考瑞芯微电子《RK Nand Flash SupportList》文档，该文档可在瑞芯微电子的 redmine 平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg

2.1.12 FSPI Flash 电路

2.1.12.1 FSPI 控制器介绍

FSPI 是一种灵活的串行外围接口主机控制器，RK3566 芯片中有 1 个 FSPI 控制器，可用来连接 FSPI 设备。

RK3566 的 FSPI 控制器有如下特点：

- 支持串行的 NOR 及 NAND FLASH；
- 支持 SDR 模式，支持单、双、四线模式；
- 支持 2 个片选；

2.1.12.2 FSPI 拓扑结构与连接方式

FSPI 接口上下拉和匹配设计推荐如下表所示，其中 FSPI_D2/FSPI_D3 管脚的外部上拉电阻工位必须保留：

表 2-7 RK3566 FSPI接口设计

信号	内部上下拉	连接方式	描述（芯片端）
FSPI_D[3:0]	D2 下拉 D0/D1/D3 上拉	直连	SPI 数据发送/接收
FSPI0_CLK	下拉	串联 22ohm 电阻	SPI 时钟发送
FSPI0_CS0n	上拉	直连	SPI 片选信号 0
FSPI0_CS1n	下拉	直连	SPI 片选信号 1

2.1.12.3 FSPI 上电时序要求

RK3566 芯片的 FSPI 控制器属于 VCCIO2 电源域，只有一组供电，并无时序要求。但需要注意的是，该电源的电平需与上文提及的 FLASH_VOL_SEL 状态配置相匹配。

SPI FLASH 有一组电源，因此也无时序要求。

2.1.12.4 FSPI 烧录测试点说明

在开发过程中请预留 FSPI D0/CLK 的测试点，避免固件烧录失败后无法进入 Maskrom 烧录模式，预留方式见参考原理图，layout 时应严格缩短测试点与信号走线的分支。

2.1.12. 5SPI FLASH 支持的型号列表

RK3566 SPI 颗粒支持列表请参考瑞芯微电子《RK SpiNor and SLC Nand SupportList》文档，该文档可于瑞芯微电子的 redmine 平台上下载：

https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg



注意

FSPI_CS1n 与 eMMC 的 DATA STROBE 管脚复用，FSPI 的其他管脚与 eMMC 没有复用关系，因此在 FSPI 只使用 1 片选的情况下，可以同时使用 eMMC，例如用 FSPI 作 boot、用 eMMC 作大容量存储。

2.1.13 GPIO 电路

在 RK3566 中，共有 10 个独立的 IO 电源域，分别为 PMUIO[0:2]和 VCCIO[1:7]。其中：

- PMUIO0、PMUIO1 为固定电平电源域，不可配置；
- PMUIO2 和 VCCIO1，VCCIO[3:7]电源域均要求硬件供电电压与软件的配置相匹配：
 - 当硬件 IO 电平接 1.8V，软件电压配置也要相应配成 1.8V；
 - 当硬件 IO 电平接 3.3V，软件电压配置也要相应配成 3.3V；
- VCCIO2 电源域软件不需要配置，但是其硬件供电电压与 FLASH_VOL_SEL 状态必须相匹配：
 - 当 VCCIO2 供电是 1.8V，则 FLASH_VOL_SEL 管脚必须保持为高电平；
 - 当 VCCIO2 供电是 3.3V，则 FLASH_VOL_SEL 管脚必须保持为低电平；

否则，将存在以下风险：

- 软件配置为 1.8V，硬件供电 3.3V，会使得 IO 处于过压状态，长期工作 IO 会损坏；
- 软件配置为 3.3V，硬件供电 1.8V，IO 功能会异常；

若客户项目的电源域有变动，必须相应更新匹配。我司各类文档均已强调此注意项，请客户软硬件人员重新审核各自项目电压配置的正确性！

参考文档 Reference documents:

- 1) DTS 配置说明文档：<https://redmine.rock-chips.com/documents/106>
- 2) Checklist: [Rockchip_RK3566_IO_Power_Domain_Checklist_V1.0_CN.xlsx](#)

2.1.13.1 GPIO 管脚名称说明

以管脚 GPIO2_A3_u 举例，其中_u 表示这个 IO 的复位默认状态为内部上拉；类似的，对应_d 表示默认状态为内部下拉，对应_z 表示默认状态为高阻状态。

除了上文提及的引导相关 GPIO，其余 IO 的复位默认状态均为输入。

对于功能引脚带有_M0/_M1/_M2 后缀的，表示同一个功能管脚复用在不同的 IO 上，同时只能选择其中一个使用；且需要注意，同组功能管脚也只能同后缀组合使用，例如选择 UART2 功能时，可以选择 UART2_TX_M0 和 UART2_RX_M0 组合，或 UART2_TX_M1 和 UART2_RX_M1 组合，不可选取不同的复用后缀 IO 进行组合。

2.1.13. 2GPIO 驱动能力

RK3566 中，GPIO 提供多档驱动强度可调，分别是 Level 0-5，部分 GPIO 可以实现 Level 0-11 的调节档位，具体请参考《RK3566_PinOut》文档。另外根据 GPIO 的类型不同，初始默认驱动强度也不同，请参考芯片 TRM 进行配置修改，也可以参考《RK3566_PinOut》文档中表 5 中的“Support Drive Strength”和“Default IO Drive Strength”列。

2.1.13. 3GPIO 电源

GPIO 电源域的电脚描述如下：

表 2-8 RK3566 GPIO电源脚描述

电源域	GPIO 类型	管脚名	描述
PMUI00	固定 1.8V	PMUPLL_AVDD_1V8	1.8V Only IO supply for this GPIO domain (group).
PMUI01	固定 3.3V	PMUI01	3.3V Only IO supply for this GPIO domain (group).
PMUI02	1.8V/3.3V	PMUI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI01	1.8V/3.3V	VCCI01	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI04	1.8V/3.3V	VCCI04	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI05	1.8V/3.3V	VCCI05	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI06	1.8V/3.3V	VCCI06	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI07	1.8V/3.3V	VCCI07	1.8V or 3.3V IO supply for this GPIO domain (group).

其中 PMUI00、PMUI01 为固定电平电源域，不可进行配置，其余 IO domain 均可进行配置。

GPIO 电源域的供电纹波要求在 $\pm 5\%$ 内，每个供电管脚需就近放置至少 1 个 100nF 去耦电容，详细设计见参考原理图。

若一个电源域里所有 IO 都未使用，那么该电源域的电脚可以不供电，对应管脚悬空处理即可。

2.2 电源设计

2.2.1 最小系统电源介绍

2.2.1.1 电源需求

表 2-9 RK3566芯片电源需求表

模块	电源管脚	描述
PMU PLL	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	PMU PLL 电源
SYSTEM PLL	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	系统 PLL 电源
CPU	VDD_CPU	CPU/ARM Core 电源
GPU	VDD_GPU	GPU 电源
NPU	VDD_NPU	NPU 电源
LOGIC	VDD_LOG	SOC 逻辑电源
PMU LOGIC	PMU_VDD_LOGIC_0V9	PMU 逻辑电源
DDR	VCC_DDR	DDR PHY 电源
GPIO	PMUI00、PMUI01、PMUI02、VCCI01、 VCCI02、VCCI03、VCCI04、VCCI05、 VCCI06、VCCI07	IO Domain 电源
SARADC	SARADC_AVDD_1V8	SARADC 电源
OTP	OTP_VCC18	OTP 电源
USB2.0 PHY	USB_AVDD1_0V9、USB_AVDD1_1V8、 USB_AVDD1_3V3、USB_AVDD2_0V9、 USB_AVDD2_1V8、USB_AVDD2_3V3	USB2.0 PHY 电源
MULTI PHY	MULTI_PHY_AVDD_0V9、MULTI_PHY_AVDD_1V8	MULTI PHY 电源（包含 USB3.0、SATA、PCIe）
MIPI CSI PHY	MIPI_CSI_RX_AVDD_0V9、 MIPI_CSI_RX_AVDD_1V8、	MIPI CSI RX PHY 电源
MIPI DSI/LVDS PHY	MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9、 MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8、 MIPI_DSI_TX1_AVDD_0V9、 MIPI_DSI_TX1_AVDD_1V8	MIPI DSI TX PHY/LVDS PHY 电 源
eDP PHY	EDP_TX_AVDD_0V9、EDP_TX_AVDD_1V8	eDP PHY 电源
HDMI PHY	HDMI_TX_AVDD_0V9、HDMI_TX_AVDD_1V8	HDMI TX PHY 电源

2.2.1.2 上电时序

理论上遵循“同一模块低压先上、高压后上”，“相同模块相同电压一起上”，“不同模块间无时序要求”的上电原则，待最后一个电压上电稳定后，RESETn 至少再保持 10ms 才能释放。

推荐的 RK3566 上电时序参考如下：

VDDA0V9_PMU/VDDA_0V9/VDD_LOGIC → VCCA1V8_PMU/VCC_1V8/VCC3V3_PMU/VDD_GPU → VDD_CPU → VCC_DDR → VCC_3V3 → RESETn

2.2.1.3 下电时序

PMUIO1 电源域的供电电压降低于 2.93V 时，RESETn 必须先拉低动作，其它电源随着下电。

2.2.2 电源设计建议

2.2.2.1 待机电路方案

RK3566 系统采用待机方案，系统分为常供电区和待机掉电区，两部分独立供电，如下图所示。

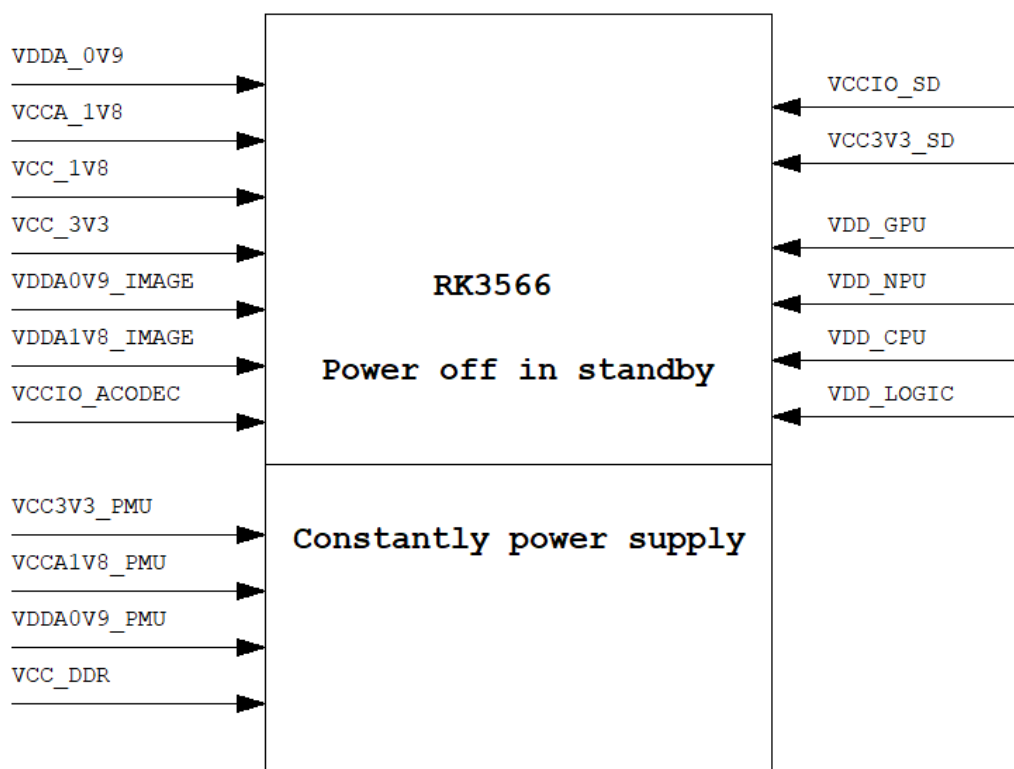


图 2-16 RK3566 待机电路方案

待机掉电区电源通过 PMIC_SLEEP_H 信号，来控制 PMIC 在待机状态下关断各路独立电源。

常供电区电源由电源芯片直接提供，在待机状态下至少应保留如下四组电源不关断：

- VCC_DDR：为 DDR 自刷新提供电源；
- VDDA0V9_PMU：为 PMUIO0 & PMUIO1 & PMUIO2 电源域的逻辑提供电源；为 PMUPLL 以及 CPU OSC 工作提供电源；
- VCCA1V8_PMU：为 PMUIO0、PMUIO2 电源域维持输出状态及中断响应提供 IO 电源；为 PMUPLL 工作提供电源；
- VCC3V3_PMU：为 PMUIO1、PMUIO2 电源域维持输出状态及中断响应提供 IO 电源；

上述待机方案，只能支持 PMUIO0、PMUIO1 和 PMUIO2 的 IO 中断唤醒，其余 IO Domain 的 IO 将无效。

待机下，若需要支持 USB HID 设备唤醒，则 USB PHY 供电需保留。

待机下，若需要支持 VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7 里的 IO 中断唤醒，那么 VDD_LOGIC 和对应 IO Domain 的供电需要保留。

2.2.2.2 PLL 电源

RK3566 芯片内部共有 9 个 PLL，分配如下：

表 2-10 RK3566 内部PLL介绍

分类	数量	电源	待机状态
PMU/OSC	2	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	不可关断电源
芯片内各模块	7	SYSPLL_AVDD_0V9, SYSPLL_AVDD_1V8	可关断电源

电源上建议使用 LDO 为 PLL 单独供电，特别是 DDR 工作频率较高，稳定的 PLL 电源有助于提高高频下的工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

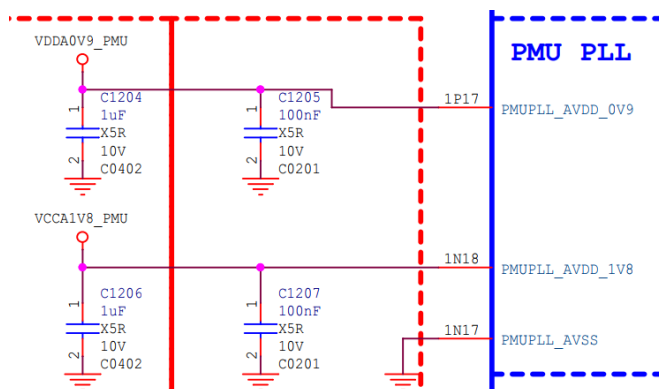


图 2-17 RK3566 芯片PMU PLL电源

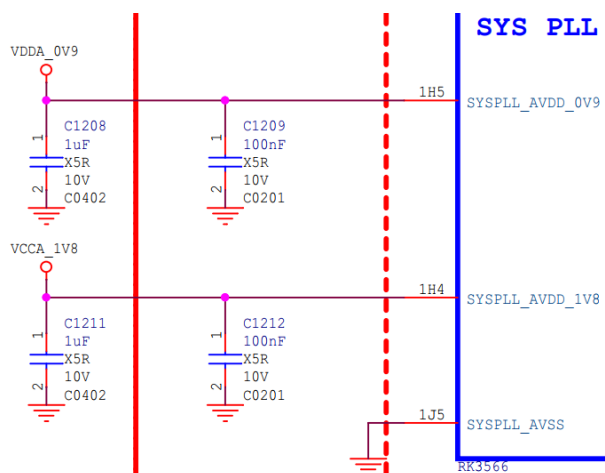


图 2-18 RK3566 芯片SYS PLL电源

2.2.2.3 CPU 电源

RK3566 采用 CPU 独立电源域供电，如下图的 VDD_CPU 为 ARM Cortex-A55 core 供电，电源使用外

置 DCDC 电源独立供电，支持动态调频调压功能。相关峰值电流参考《RK356X Power Consumption Test Report》，请勿删减 RK3566 芯片参考设计原理图中的电容。

Layout 时将大电容放置在 RK3566 芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在 60mV 以内，避免大负载情况下电源纹波偏大引起系统异常，电容如下图所示：

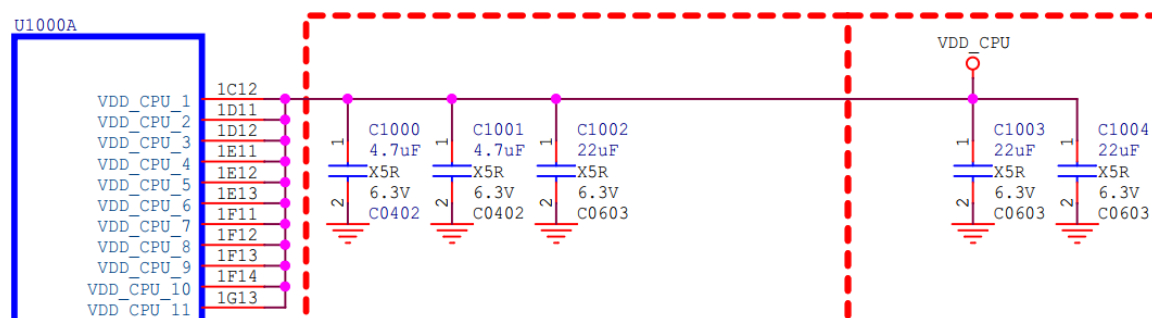


图 2-19 RK3566 芯片VDD_CPU电源及去耦

在 Layout 上，需要进行电源反馈走线，从芯片底部单独走一根反馈线连接至 DC/DC 电源的 FB 端，可有效改善因 PCB 走线带来的压降，提高电源动态调整的及时性。在下面小节中具体解释。

2.2.2.4 LOGIC 电源

RK3566 的 LOGIC 电源使用 PMIC 供电，支持动态调频调压功能。相关峰值电流参考 2.2.3 小节，请勿删减 RK3566 芯片参考设计原理图中的电容。

Layout 时将大电容放置在 RK3566 芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在 60mV 以内，避免大负载情况下电源纹波偏大引起系统异常，电容如下图所示：

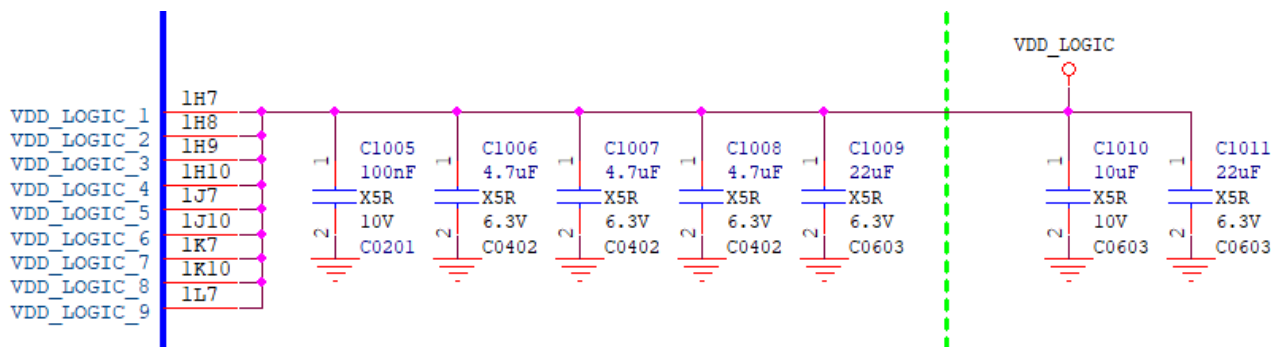


图 2-20 RK3566 芯片LOGIC电源及去耦

同样，需要进行电源反馈走线。

2.2.2.5 GPU & NPU 电源

RK3566 的 GPU 电源与 NPU 电源同样也使用 PMIC 供电，均支持动态调频调压功能。相关峰值电流参考 2.2.3 小节，请勿删减 RK3566 芯片参考设计原理图中的电容。

在 RK809-5 的方案中，二者供电独立。NPU 供电需要在启动后配置打开。

在 RK817-5 的方案中，出于成本的考虑，将 GPU 与 NPU 供电进行合并，具体见参考原理图。

Layout 时将大电容放置在 RK3566 芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在 60mV 以

内，避免大负载情况下电源纹波偏大引起系统异常，电容如下图所示：

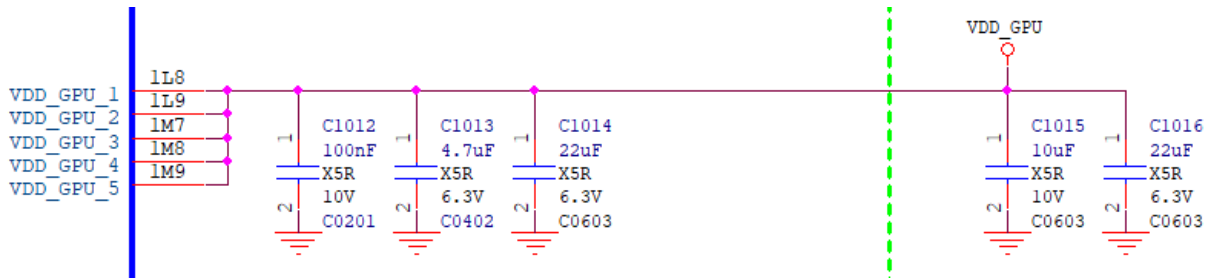


图 2-21 RK3566 芯片VDD_GPU电源及去耦



图 2-22 RK3566 芯片VDD_NPU电源及去耦

同样，需要进行电源反馈走线。

2.2.2.6 电源的远端反馈补偿

上述提及的 VDD_CPU/VDD_LOGIC/VDD_GPU/VDD_NPU 这几路电源 DC-DC 采用远端反馈补偿设计，弥补线路的电压损耗及提高电源动态调整及时性。如图所示：

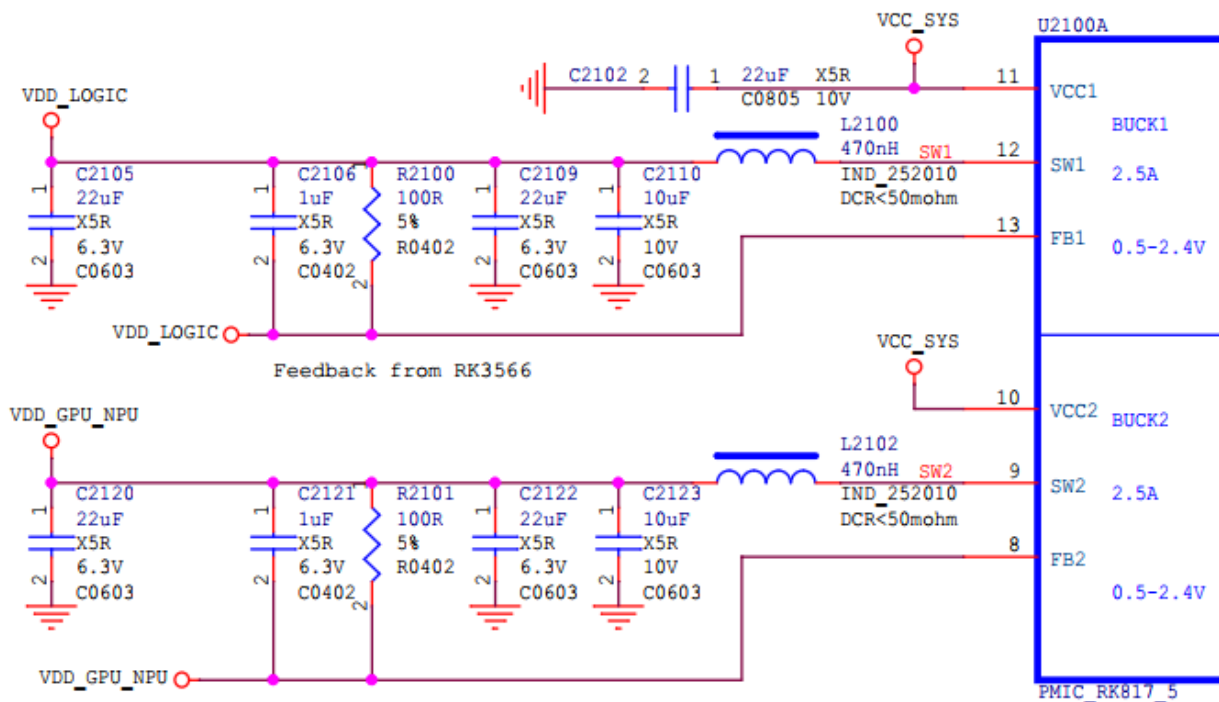


图 2-23 RK3566 电源的远端反馈补偿

为避免实际生产或使用过程中出现远端反馈节点开路的情况，要求在 DC-DC 侧增加 100 ohm 电阻，这

个电阻可以使输出电压在反馈节点开路情况下仍保持稳定，避免因反馈节点的开路导致输出异常。

另外，反馈补偿线与电源线存在一个环路，在某些设计中可能会感应到噪声影响 DC-DC，这个电阻也可以减小这个影响，同时为了提升瞬态响应，在 100 ohm 电阻侧再并联一个 1uF 电容。这里，100ohm 电阻和 1uF 电容不能随意删减。

2.2.2.7 DDR 电源

RK3566 芯片的 DDR 控制器接口支持 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X 电平标准，产品设计时请根据颗粒使用情况进行配置，确认符合设计要求。

其中 LPDDR4 与 LPDDR4X 的电源差异详见 DDR 小节的描述，需要在对应的 DDR 原理图页面进行电源的选择，使用 LPDDR4 颗粒时选择 VCC_DDR 供电，使用 LPDDR4X 颗粒时使用 VCC0V6_DDR 供电。

在使用 PMIC 的情况下，VCC_DDR 的电压由分压阻值决定，相关分压值可参考下图，以保证输出电压准确度：

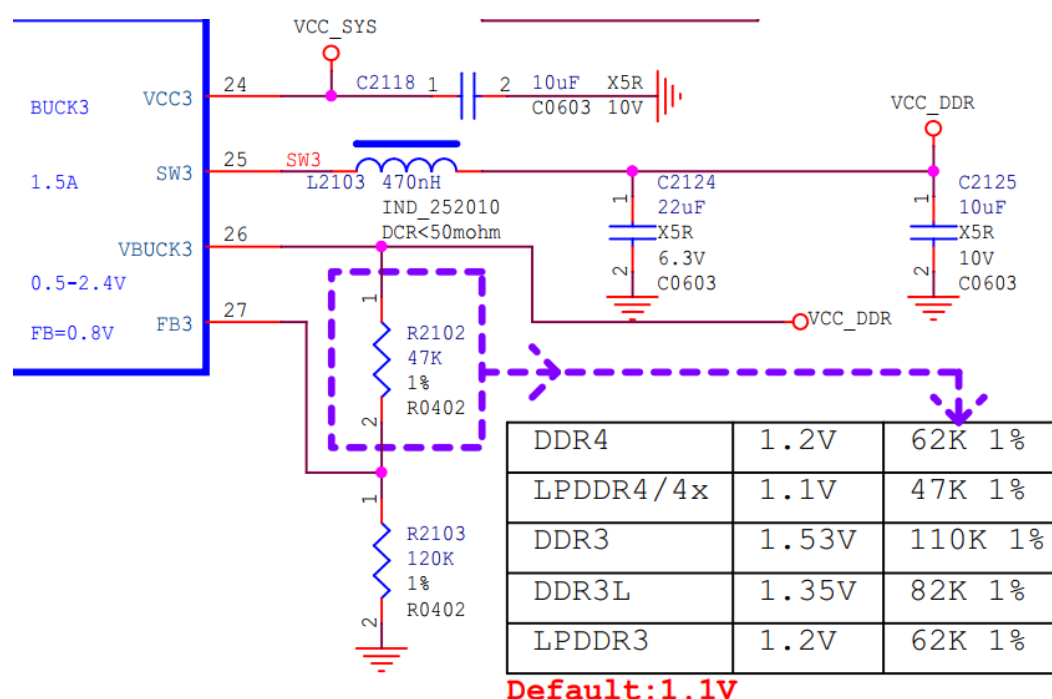


图 2-24 RK3566 VCC_DDR电源

同样，请勿删减 RK3566 芯片参考设计原理图中的电容。Layout 时将大电容放置在 RK3566 芯片背面（单面贴时请靠近芯片放置），以保证电源纹波在 $\pm 5\%$ 以内，避免大负载情况下电源纹波偏大引起系统异常，电容如下图所示：

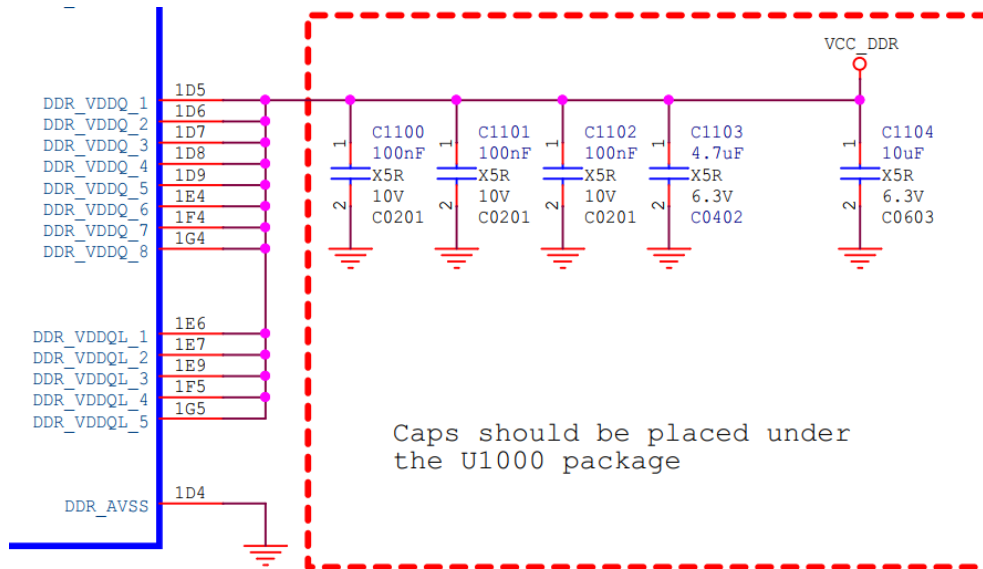


图 2-25 RK3566在DDR3/DDR3L/DDR4/LPDDR3/LPDDR4情形下的DDR电源及去耦

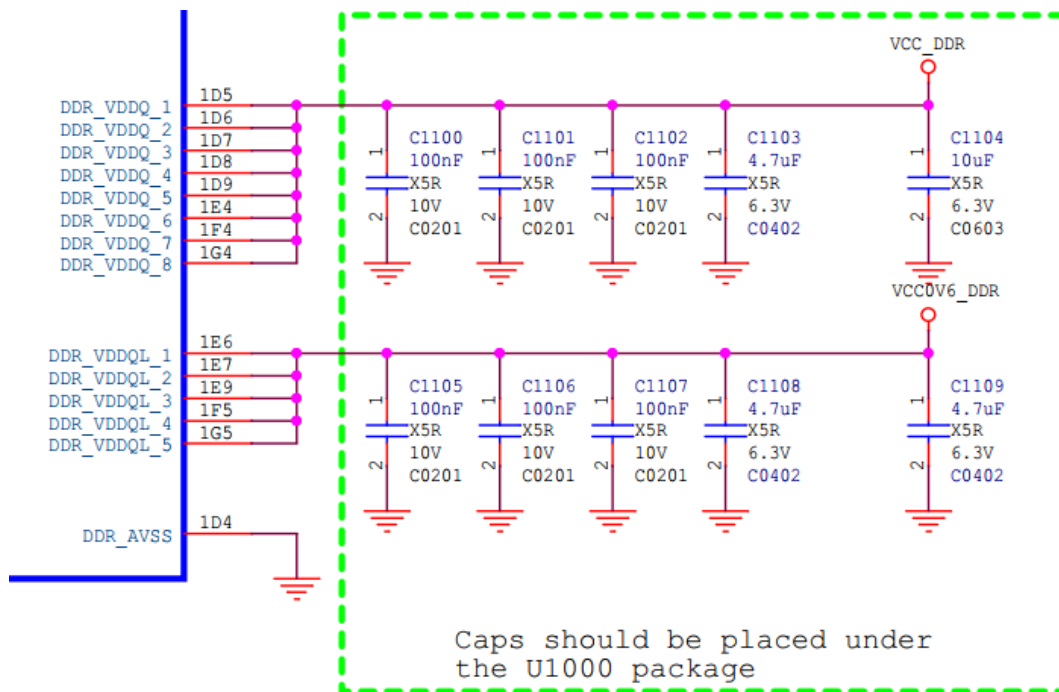


图 2-26 RK3566在LPDDR4X情形下的DDR电源及去耦

2.2.2.8 VDDA_0V9/VDDA0V9_IMAGE 的电源设计

对于 VDDA_0V9/VDDA0V9_IMAGE 的供电，RK817-5 的配套设计中，出于电源质量和功耗的考虑，为客户提供了两种实现方法，可根据实际情况选择：

VDDA_0V9, VDDA0V9_IMAGE

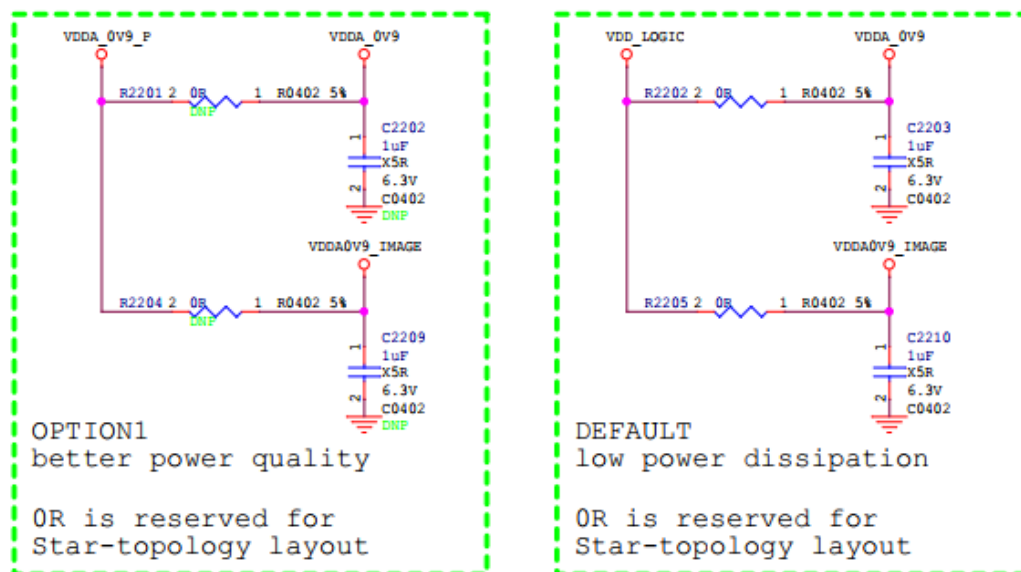


图 2-27 RK3566 0.9V相关电源设计

2.2.2.9 VCC_1V8/VCCA_1V8/VCCA1V8_IMAGE 的电源设计

对于 VCC_1V8/VCCA_1V8/VCCA1V8_IMAGE 的供电，RK817-5 的配套设计中，出于成本和功耗的考虑，为客户提供了两种实现方法，可根据实际情况选择：

VCC_1V8, VCCA_1V8, VCCA1V8_IMAGE

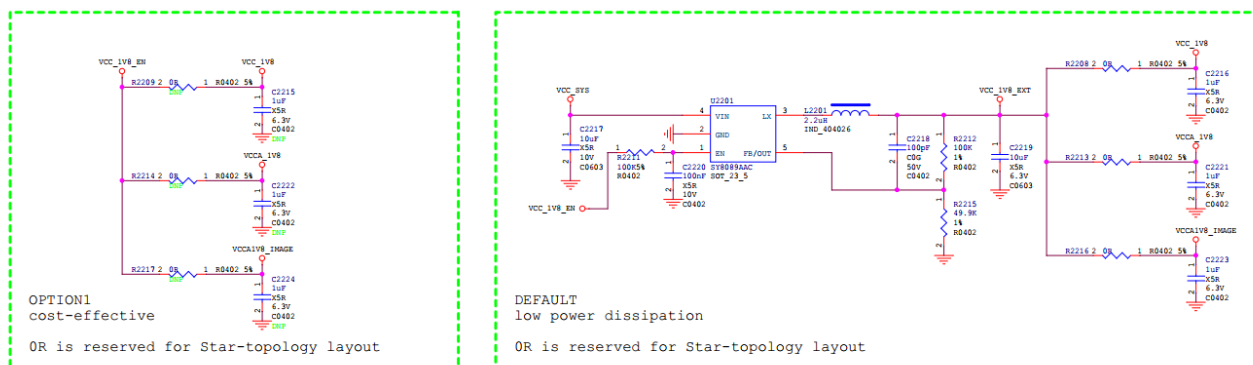


图 2-28 RK3566 1.8V相关电源设计

2.2.2.10 GPIO 电源

GPIO 电源请参考 2.1.10 节。建议靠近每个供电管脚处放置一个 100nF 去耦电容。详细设计请参考 RK3566 芯片参考设计原理图。

2.2.2.11 各功能模块的供电

各功能模块部分的供电依照参考原理图设计，详细描述查阅本文对应的模块章节。

部分模块在未供电情况下,可能引起内核初始化卡死,需要软件对 DTS 中对应的控制器节点进行 disable 设置。

2.2.3 电源峰值电流表

发布包中提供了《RK356X Power Consumption Test Report》文档,供参考。请注意相关测试条件的限定与说明。

2.2.4 RK817-5 方案介绍

2.2.4.1 RK817-5 框图

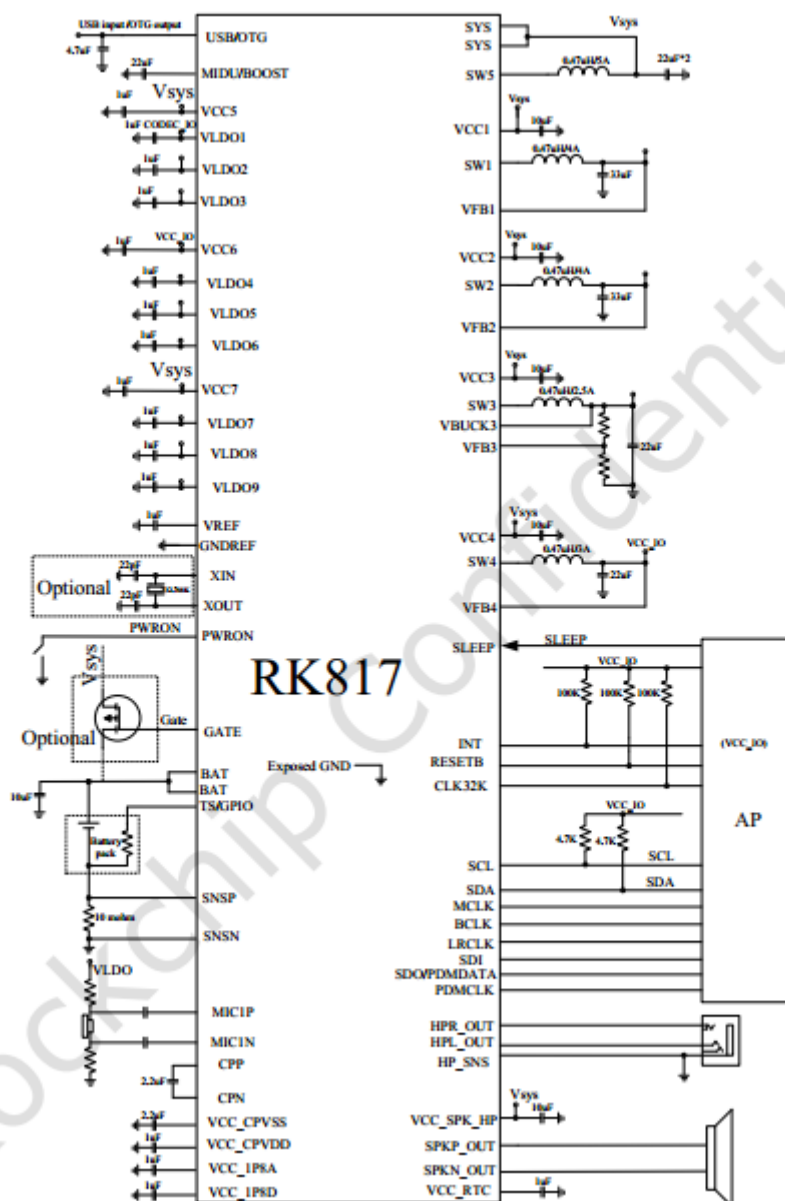


图 2-29 RK817-5 框图

2.2.4.2 RK817-5 特征

- 输入范围：USB 输入是 3.8V-5.5V；BAT 输入是 2.7V-5.5V
- 最大 3.5A 充电电流的锂离子电池开关充电器
- 最大 4A 自动电能路径管理
- 内置精准的电量计
- 内置实时时钟（RTC）
- 16uA 的极低待机电流(在 32KHz 时钟频率下)
- 实地耳放驱动
- 不含滤波电感的 1.3W Class D 类功放（驱动 8ohm 喇叭）
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
 - 内置独立 PLL
 - 支持麦克风输入
 - DAC 和 ADC 都支持 I2S 数字输入
 - 支持 ALC，限幅器和噪声门
 - 支持可编程的数字与模拟增益
 - 支持 16bits-32bits 的比特率
 - 采样率高达 192kHz
 - 软件支持 master 和 slave 两种工作模式配置
 - 支持 3 种 I2S 格式（标准，左对齐，右对齐）
 - 支持 PDM 模式（外部输入 PCLK）
- 电源通道：
 - BUCK1：同步降压 DC-DC 转换器，2.5A max
 - BUCK2：同步降压 DC-DC 转换器，2.5A max
 - BUCK3：同步降压 DC-DC 转换器，1.5A max
 - BUCK4：同步降压 DC-DC 转换器，1.5A max
 - BOOST：同步升压 DC-DC 转换器，1.5A max（不能与充电功能同时使用）
 - LDO1-LDO2、LDO4-LDO9：低压差线性稳压器，400mA max
 - LDO3：低噪声、高电源抑制比的低压差线性稳压器，100mA max
 - OTG：OTG 开关，1.5A max（不能与充电功能同时使用）
- 封装：7mmx7mm QFN68

2.2.4.3 RK3566+RK817-5 典型应用电源树

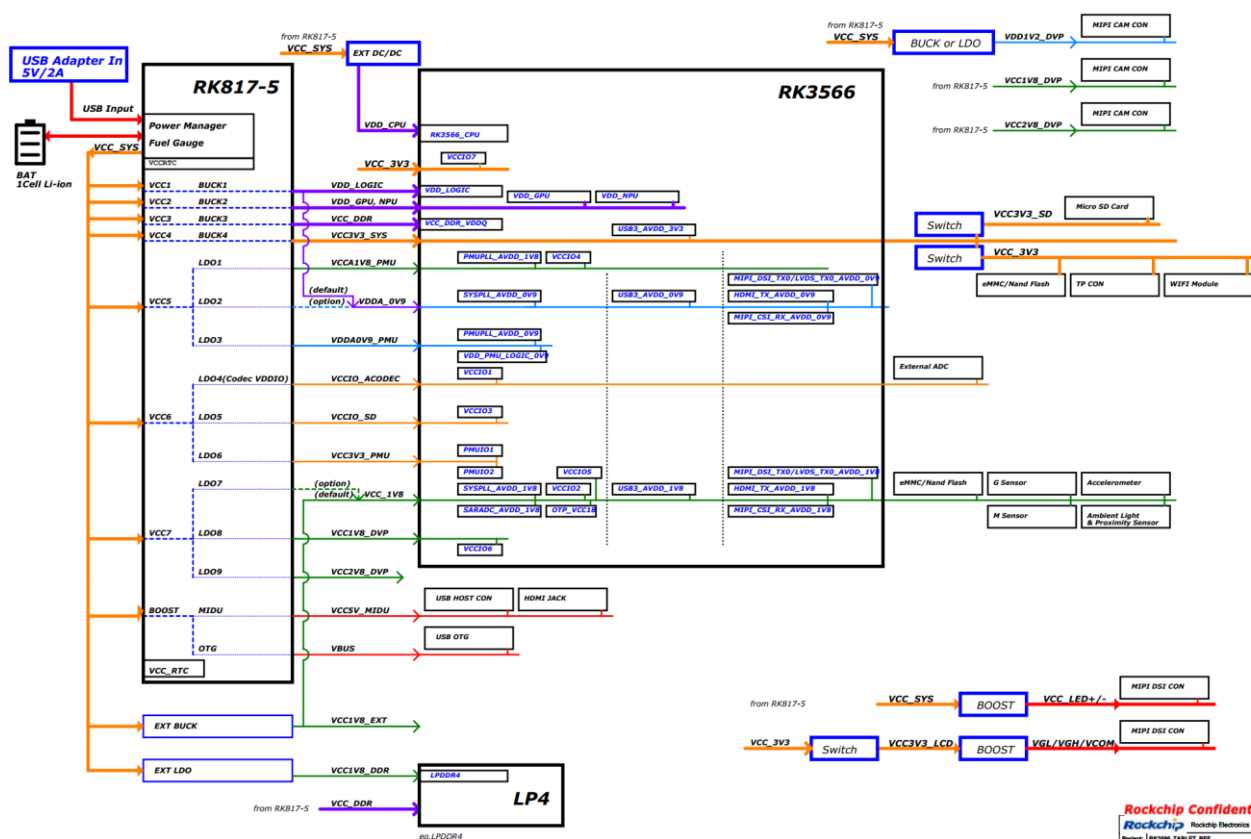


图 2-30 RK3566 + RK817-5 典型应用电源树

2.2.4.4 RK817-5 注意事项

32.768 晶体的匹配电容推荐值为 22pF，用户可根据所用晶体的具体规格微调此参数。



注意

为了降低功耗，PMIC RTC 的晶体振荡都做的比较弱，在 XOUT 或 XIN 的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测 32.768k 信号请测试 CLK32K 管脚。

BUCK1, BUCK2 的输出电容必须大于 30uF 以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；

RK817-5 自带 USB OTG 供电功能，有短路保护功能，可配置 1.0-1.5A 的输出限流；

通过按键控制的开关机逻辑如下：PWRON 管脚内置上拉电阻，上拉到 VCCRTC，当检测到低电平时间超过 500ms 就会自动开机；开机后如果 PWRON 脚被拉低超过 6s 就会强制关机（通常用于系统死机后的强制关机，再开机）；在休眠以及唤醒操作时，PWRON 脚的低电平需维持 20ms 以上。

RK817-5 工作的基本条件：

- VBAT 大于 3.3V 或者 VUSB 大于 4.4V；
- 检测到了如下三种情况中的一种，RK817-5 自动开机：PWRON 脚为低电平并维持 500ms；USB 插入；内部 RTC Alarm 开机使能且定时时间到。
- 开启上电流程，每个时序间隔是 2mS，上面一个时序电压输出符合要求后才会继续下一个时序，直

到所有时序上电结束，并释放 RESET，完成上电流程；

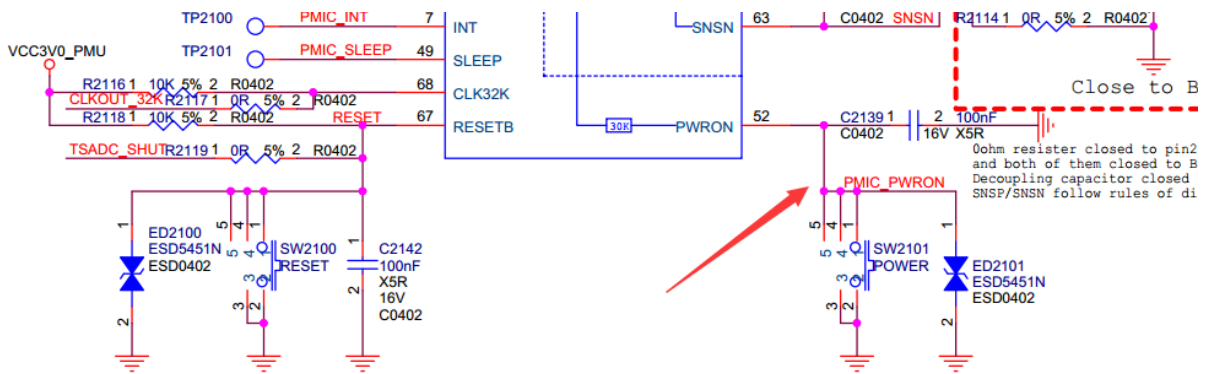


图 2-31 RK817-5 PWRON管脚

RK817-5 检测到如下两种情况之一，会自动关机：

- I2C 写 DEVICE_OFF=1；
- PWRON 脚为低超过 6s；

RK817-5 开始下电流程后，会在 1 个 RTC 时钟周期后（约 30.5us 后）拉低 reset，再经过 2ms 以后同时关断所有电源输出，完成下电流程。

单节锂电池设计在大电流放电时，电池电压容易因为瞬间电流过大而产生电源塌陷，而电量计在检测到电池电压低于设定的关机电压后进入关机流程，会导致电池的剩余电量放不出来，造成产品的续航时间偏短。针对这种情况，需要尽量降低电源回路以及电池的内阻。电源回路内阻如下图中红色箭头所示，在 PCB 布线时尽量使用短粗的走线或者铜皮连接，遇到走线换层需要就近多打过孔；电池内阻则需采用低内阻的电池电芯来降低，并使用更低导通阻抗的保护板及电源线。

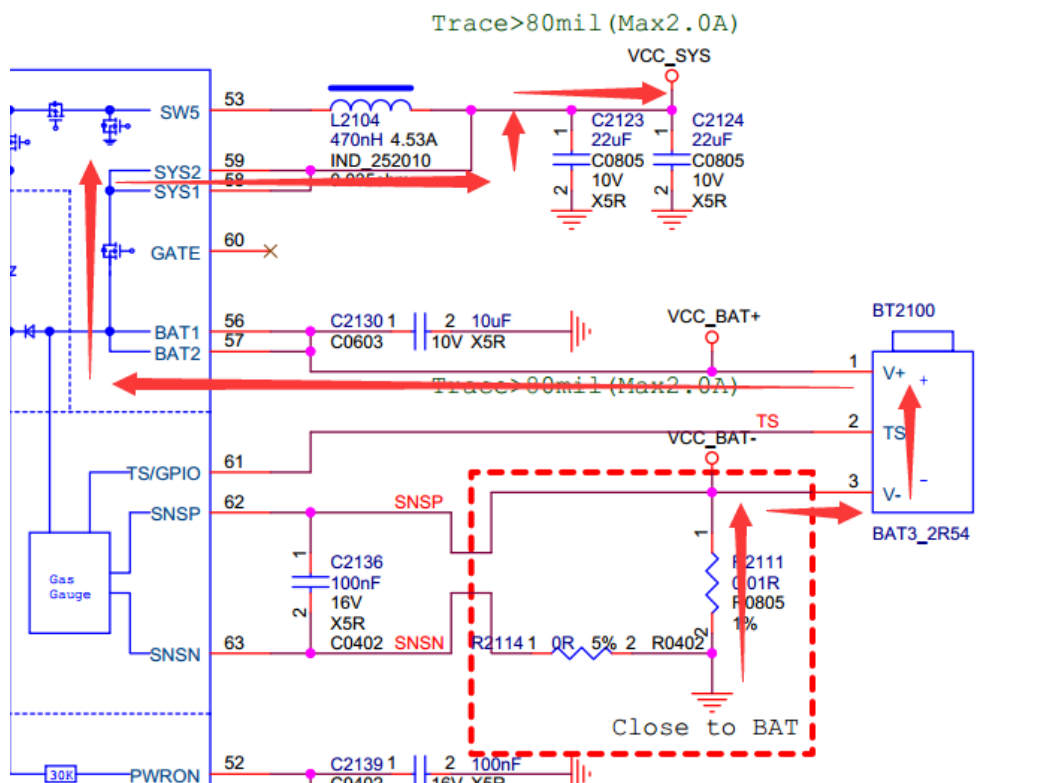


图 2-32 RK817-5 电池放电路径

2.2.4.5 RK817-5 设计说明

RK817-5 具体设计说明，请参考 RK PMIC 相关设计文档《RK817 应用指南》。

2.2.5 RK809-5 方案介绍

2.2.5.1 RK809-5 框图

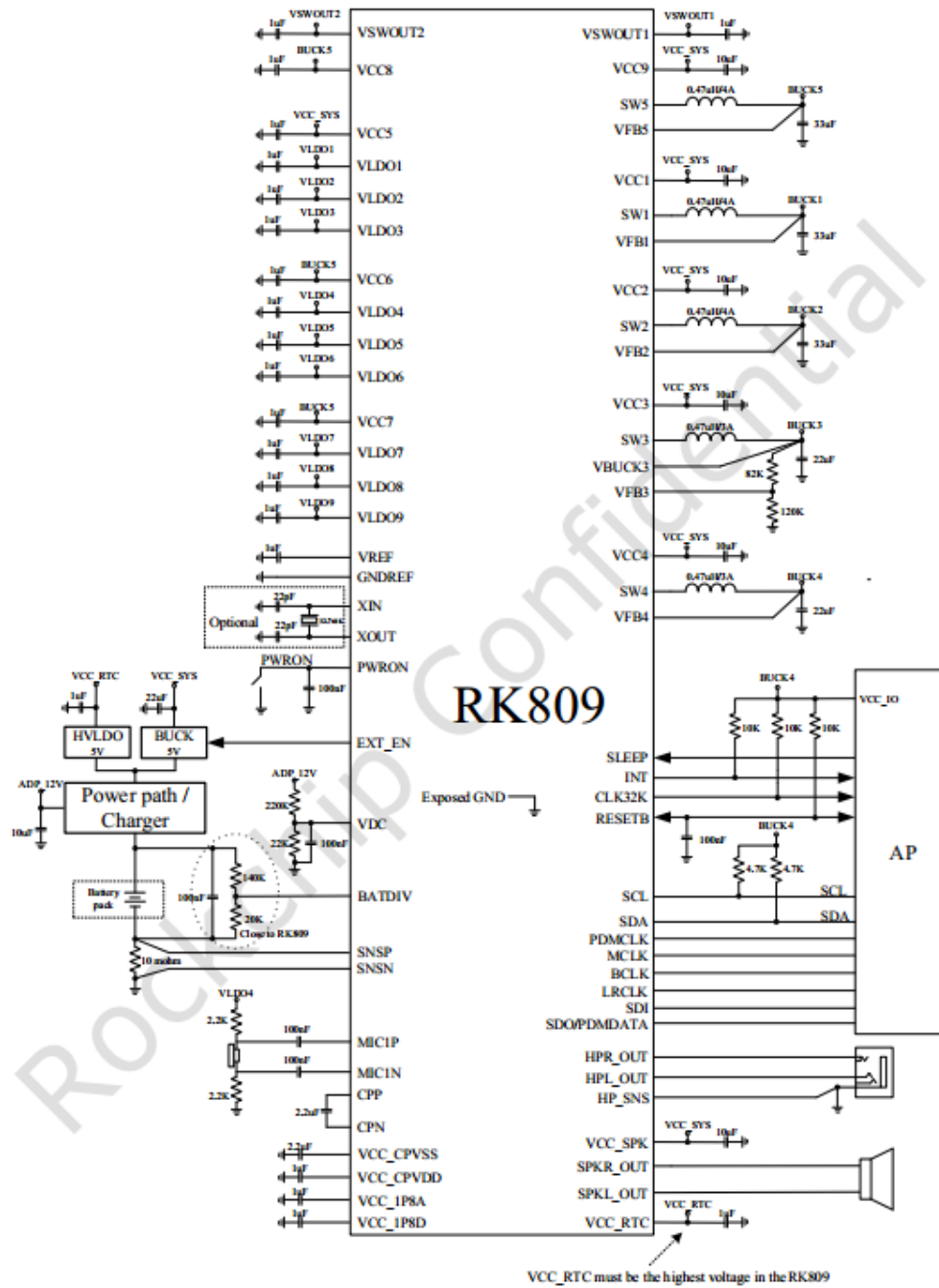


图 2-33 RK809-5 框图

2.2.5.2 RK809-5 特征

- 电源输入范围：2.7V-5.5V
- 含单独电池电压、电流两路 ADC 的精准电量计
- 内置实时时钟（RTC）
- 16uA 的极低待机电流(在 32KHz 时钟频率下)
- 实地输出的耳机驱动
- 不含滤波电感的 1.3W Class D 类功放（驱动 8ohm 喇叭）
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
 - 内置独立 PLL
 - 支持麦克风输入
 - DAC 和 ADC 都支持 I2S 数字输入
 - 支持 ALC，限幅器和噪声门
 - 支持可编程的数字与模拟增益
 - 支持 16bits-32bits 的比特率
 - 采样率高达 192kHz
 - 软件支持 master 和 slave 两种工作模式配置
 - 支持 3 种 I2S 格式（标准，左对齐，右对齐）
 - 支持 PDM 模式（外部输入 PCLK）
- 电源通道：
 - BUCK1：同步降压 DC-DC 转换器，2.5A max
 - BUCK2：同步降压 DC-DC 转换器，2.5A max
 - BUCK3：同步降压 DC-DC 转换器，1.5A max
 - BUCK4：同步降压 DC-DC 转换器，1.5A max
 - BUCK5：同步降压 DC-DC 转换器，2.5A max
 - LDO1-LDO2、LDO4-LDO9：低压差线性稳压器，400mA max
 - LDO3：低噪声、高电源抑制比的低压差线性稳压器，100mA max
 - Switch1：开关，2.1A max， $R_{dson} = 90m\Omega$
 - Switch2：开关，2.1A max， $R_{dson} = 100m\Omega$
- 封装：7mmx7mm QFN68

RK809-5 工作的基本条件:

- VCC_RTC 供电;
- VCC5V0_SYS 供电, ;
- 检测到了如下三种情况之中的一种, RK809-5 自动开机: PWRON 脚为低电平并维持 500ms; VDC 电平超过 0.55V; 内部 RTC Alarm 开机使能且定时时间到。
- 开启上电流程, 每个时序间隔是 2mS,上面一个时序电压输出符合要求后才会继续下一个时序, 直到所有时序上电结束, 并释放 RESET, 完成上电流程;

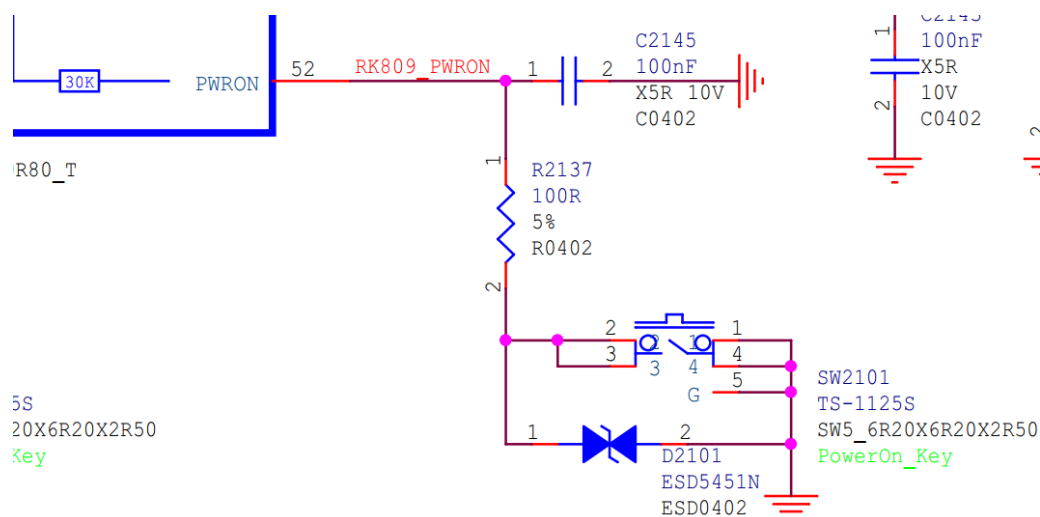


图 2-35 RK809-5 PWRON管脚

RK809-5 检测到如下两种情况之一, 会自动关机:

- I2C 写 DEVICE_OFF=1;
- PWRON 脚为低超过 6s。

RK809-5 开始下电流程后, 会在 1 个 RTC 时钟周期后 (约 30.5us 后) 拉低 reset, 再经过 2ms 以后同时关断所有电源输出, 完成下电流程。

2.2.5.5 RK809-5 设计说明

RK809-5 具体设计说明, 请参考 RK PMIC 相关设计文档《RK809 应用指南》。

2.2.6 过温保护电路

当 RK3566 芯片出现过热、死机等情况时, 芯片的 TSADC_SHUT 管脚会输出低电平, 对 RK817-5/RK809-5 进行复位、控制电源下电并重新上电, 在寄存器清零的同时复位整个系统。

TSADC_SHUT 是特定的功能信号, 请勿随意改动用法。

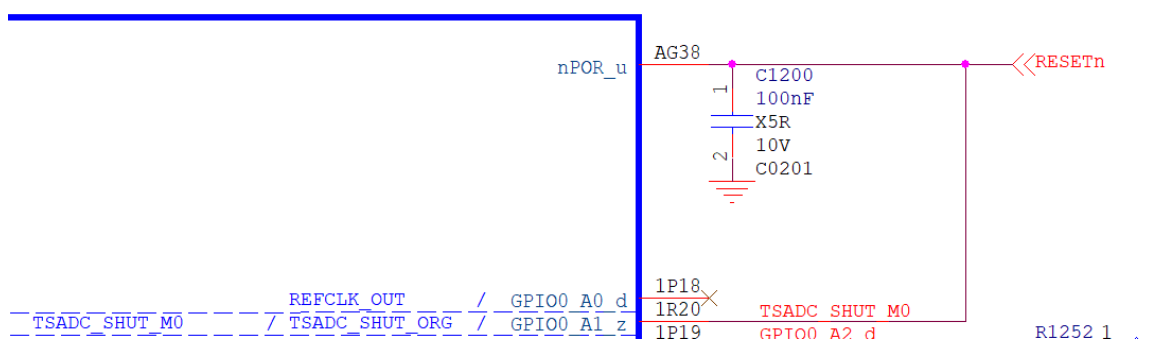


图 2-36 RK3566 TSADC_SHUT过温保护输出

2.2.7 PMIC SLEEP 待机控制电路

当 RK3566 芯片在正常工作模式时，芯片的状态管脚 PMIC_SLEEP 会维持低电平输出。

当系统进入待机模式时，PMIC_SLEEP 管脚会输出高电平的休眠指示信号，此时 PMIC 受该信号控制进入待机状态。根据软件 dts 文件的配置，部分电源会关闭，部分电源会调低电压。

当系统从待机模式中被唤醒时，PMIC_SLEEP 管脚会在第一时间输出低电平，此时 PMIC 会恢复待机前的工作状态，恢复各路电源输出。

PMIC_SLEEP 是特定的功能信号，请勿随意改调用法。

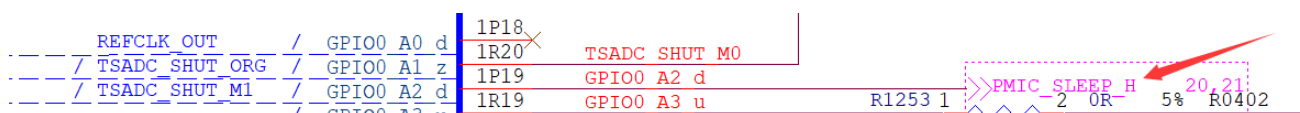


图 2-37 RK3566 PMIC_SLEEP输出

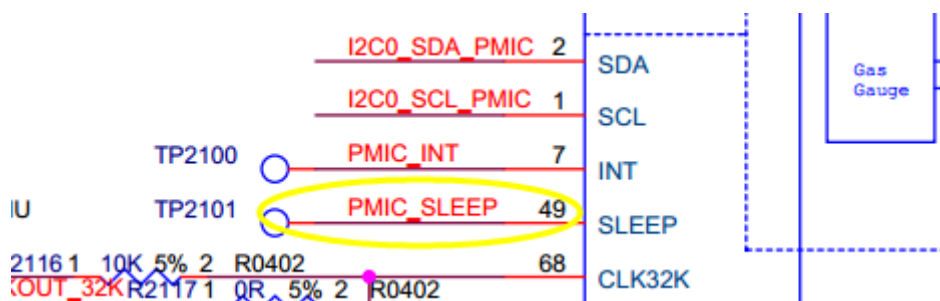


图 2-38 RK817-5 PMIC_SLEEP输入

2.3 功能接口电路设计

2.3.1 SDMMC 存储卡电路

RK3566 集成了 3 个 SDMMC 接口控制器，均可支持 SD V3.01 以及 MMC V4.51 协议，SDMMC0 如图所示：

- SDMMC0 控制器采用单独的电源域供电；
- SDMMC0 与 JTAG 等功能复用在一起，通过 SDMMC0_DET 进行功能选择，具体参考 JTAG 小节描述；
- VCCIO3 为 IO 电源，需要外部提供 3.3V 供电（SD V2.0 模式）或 3.3V/1.8V 可调供电（SD V3.0 模式）；
- SDMMC0_DATA、SDMMC0_CMD、SDMMC0_CLK 需串接 22ohm 电阻，SDMMC0_DET 需串接 100ohm 电阻；
- 信号在靠近 SD 卡槽处需放置 ESD 器件，为减少对信号的影响，建议选择结电容小于 1pF 的型号（若只需要支持 SD2.0 模式，ESD 器件的结电容可放宽到小于 9pF）；
- SD 卡供电的去耦电容需靠近卡槽摆放。

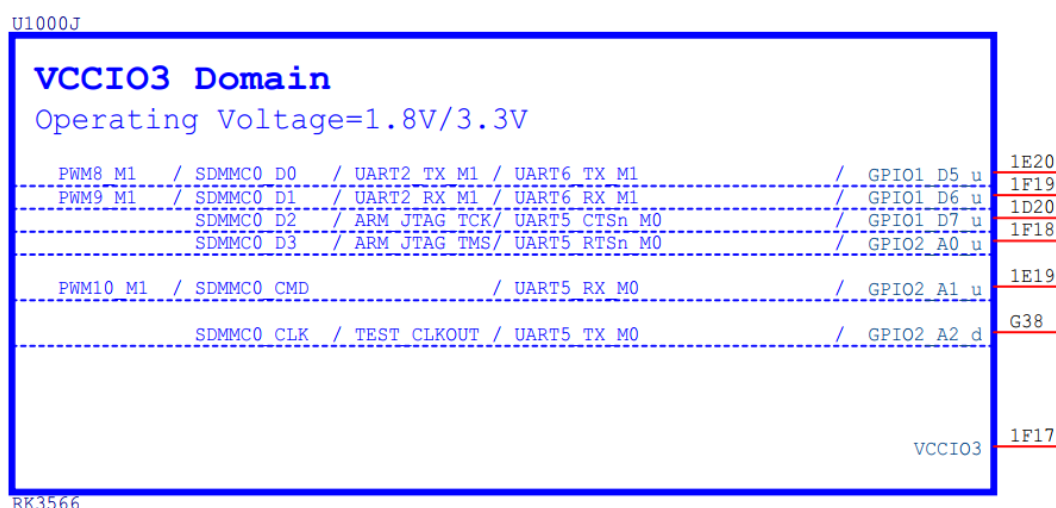


图 2-39 RK3566 SDMMC0 模块

SDMMC0 接口上下拉和匹配设计推荐如下表：

表 2-11 RK3566 SDMMC0 接口设计

信号	内部上下拉	连接方式 (SDR104 高速模式)	描述（芯片端）
SDMMC0_DQ[3:0]	上拉	串联 22ohm 电阻	SD 数据发送/接收
SDMMC0_CLK	下拉	串联 22ohm 电阻 靠近 RK3566 端放置	SD 时钟发送
SDMMC0_CMD	上拉	串联 22ohm 电阻	SD 命令发送/接收
SDMMC0_DET	上拉	串接 100ohm 电阻	SD 卡插入检测

当需要使用 SD 卡作系统存储使用时候，建议使用 SDMMC0（如果需要使用 SDMMC1 或 SDMMC2 作系统存储，需考虑相关供电），SDMMC0 的 DET 管脚位于 PMUIO 电源域，可支持插卡唤醒。其余两个控

制器 SDMMC1 和 SDMMC2 也可以用于 SD 卡连接，但这两个接口更经常作为 SDIO 接口连接 WIFI，或者因其对应的 GPIO 被复用的其他功能占用而无法使用。

下面是针对参考图 WIFI 连接的说明，其中 SDMMC1 作为 SDIO 使用，连接到 WIFI 模组，对应的 VCCIO4 电源域与 WIFI IO 保持一致，使用 VCCIO_WL 供电。当支持 SDIO3.0 时候，要求 VCCIO_WL 为 1.8V；支持 SDIO2.0 时候，VCCIO_WL 为 3.3V。

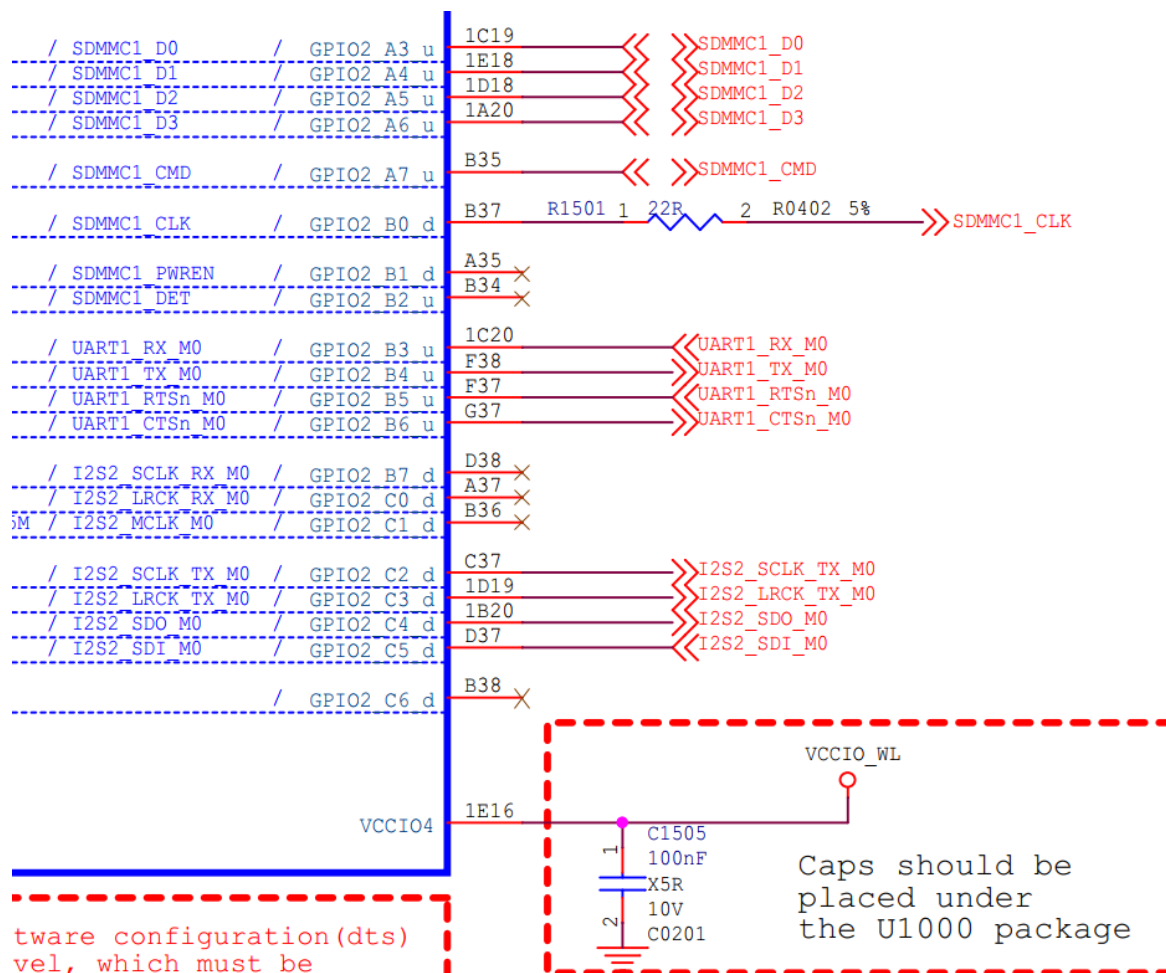


图 2-40 RK3566 WIFI/BT连接示意

出于低功耗设计考虑（若功耗无特殊要求，通过修改软件，即可不受此条使用约束），RK3566 默认在二级待机状态下会关闭 LOGIC 电源，此时只有 PMUIO 逻辑保持供电，对应的 GPIO 可受控，因此这种情况下若需要支持 WIFI/BT 休眠唤醒功能，对应的 WIFI/BT 控制信号应连接到 PMUIO 电源域的 GPIO。如下图示意：

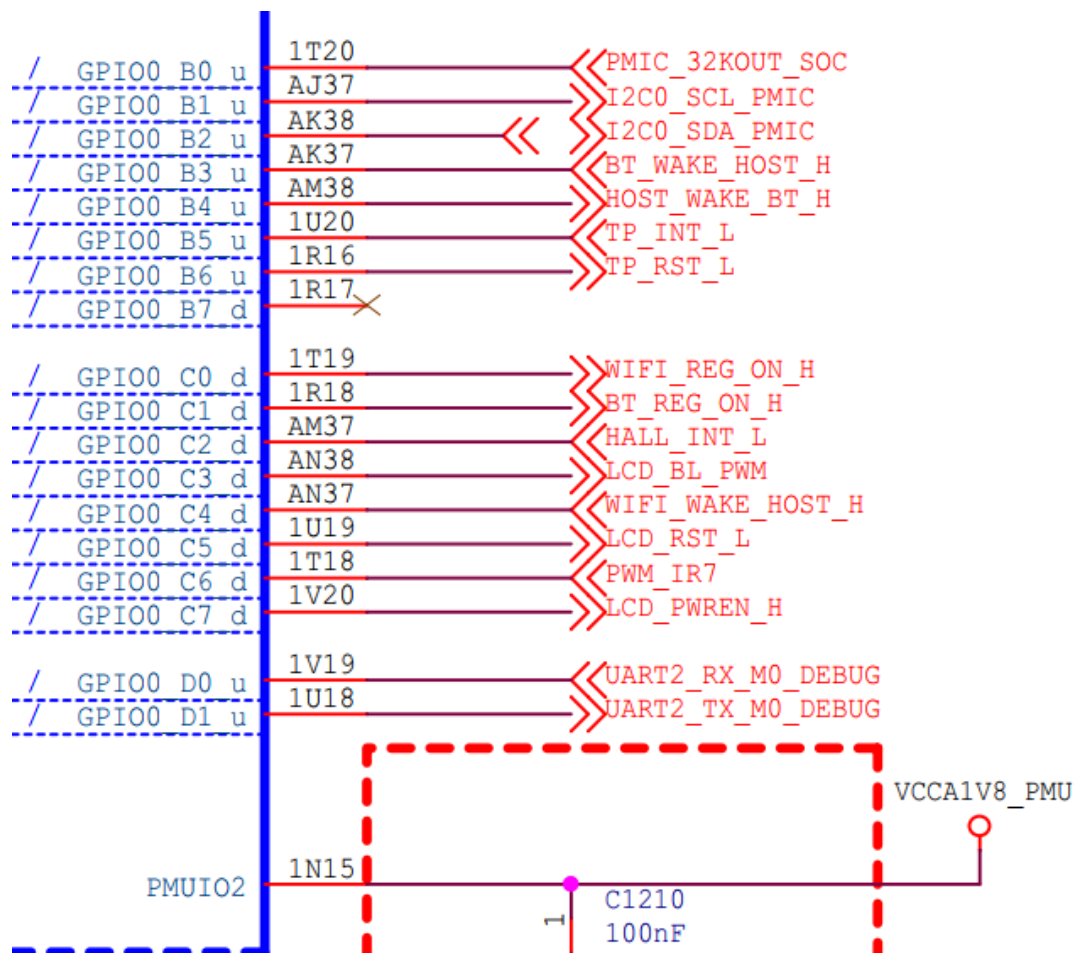


图 2-41 RK3566 WiFi/BT控制信号连接示意

SDIO 接口上下拉和匹配设计推荐如下表：

表 2-12 RK3566 SDIO接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO_DQ[3:0]	上拉	直连	SDIO 数据发送/接收
SDIO_CLK	下拉	串联 22ohm 电阻	SDIO 时钟发送
SDIO_CMD	上拉	直连	SDIO 命令发送/接收

设计注意：

- SDIO CLK 时钟的串接电阻靠近主控；走线须包地处理，包地路径打地过孔，地孔间隔不大于 300mil；
- 所有 SDIO 信号走线长度必须小于 4inch，SDIO CLK 和 DATA/CMD 之间的延迟必须控制在 120mil 以内；
- SDIO 所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号回流路径的情况；
- 所有 SDIO 信号都要控制 PCB 阻抗，单端信号阻抗为 50ohm±10%；

2.3.2 USB 电路

RK3566 芯片拥有一组 USB2.0 OTG 接口，三组 USB2.0 HOST 接口，一组 USB3.0 HOST 接口（当使用完整的 USB3.0 HOST 时，一组 USB2.0 HOST 会被占用）。



注意

- 1, USB OTG 接口默认为系统固件烧录口, 在调试与生产过程中必须要预留此接口;
- 2, USB 2.0 控制器与 USB 3.0 控制器共同使用的时候, 需要遵循 USB2.0 PHY1 与 USB 3.0 PHY1 搭配的原则。

2.3.2.1 USB2.0 介绍

USB2.0 OTG 接口、USB3.0 HOST1 接口如下图所示。USB_OTG0_ID 管脚在芯片内部有上拉（大约 200KOhm）到 USB_AVDD1_V8，所以 OTG 接口默认为 Device 模式，当插入 OTG 设备时，该管脚将会被拉低从而进入 HOST 模式。

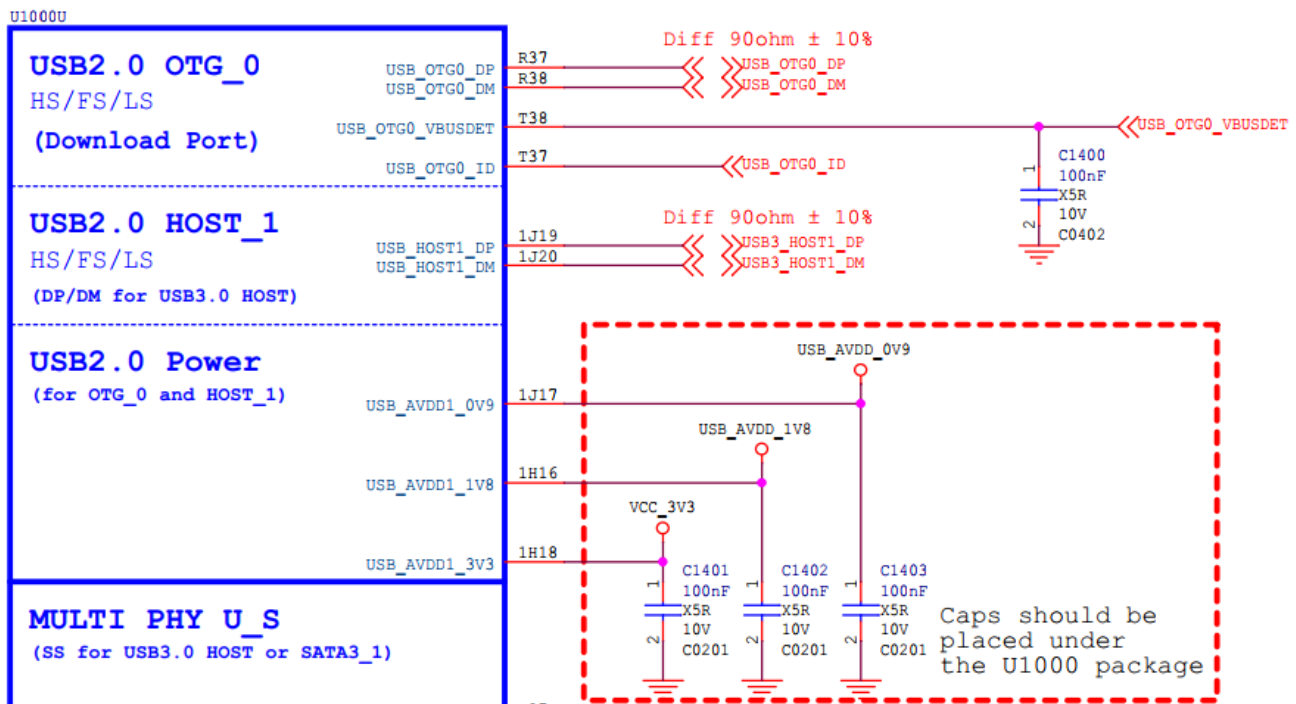


图 2-42 RK3566 USB2.0 OTG/HOST1模块

USB_OTG0_VBUSDET 管脚外接到分压电路，检测到高电平（2.7V-3.3V 判断为高）说明有 USB 插入。不论作 OTG 口还是烧录使用时，该管脚都应连接。

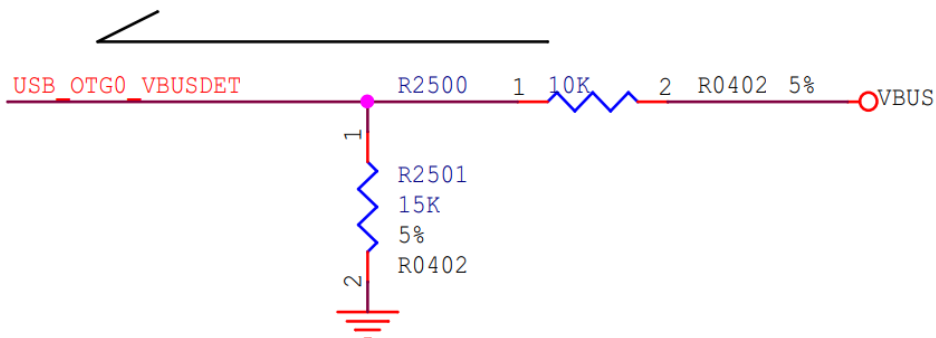


图 2-43 RK3566 USB2.0 OTG VBUSDET分压电路

为抑制电磁辐射，信号线上预留共模电感；同时为提高接口抗性，请串接 2.2R 电阻、使用 ESD 保护措

施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。如下图所示：

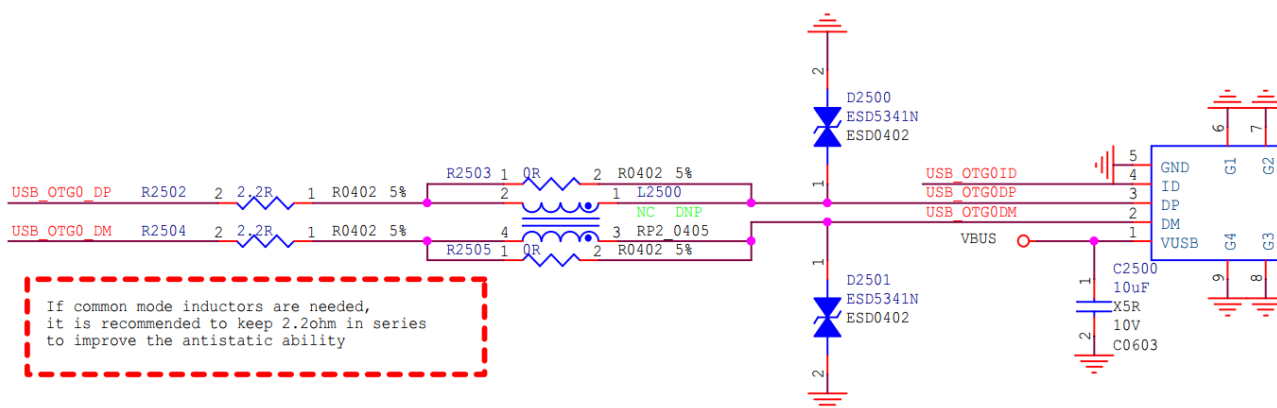


图 2-44 RK3566 USB2.0 OTG信号电路防护

RK817-5 的参考图里提供了 TypeC 形式接口的 USB_OTG 接口实现参考，需要添加 OVP 保护芯片，电压设定在 5.5V。若需要支持模拟耳机与数字耳机功能，可参考切换开关电路，若不需要模拟耳机支持，则直连 USB 信号到接口即可。

其余 2 个 USB2.0 HOST 接口如下图所示，对于 USB2.0 HOST 接口的防护设计，参考 USB2.0 OTG 接口，详见参考原理图。

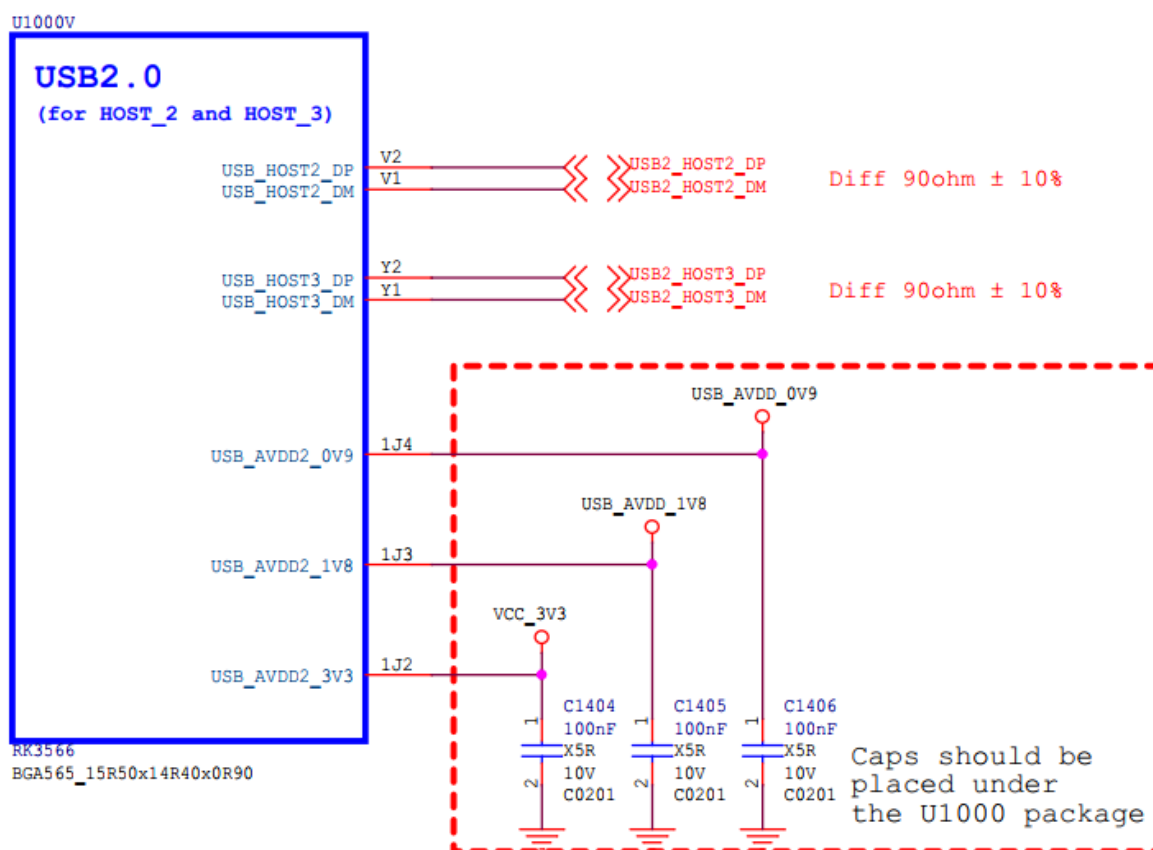


图 2-45 RK3566 USB2.0 HOST2/HOST3模块

2.3.2.2 USB3.0 介绍

RK3566 的 USB3.0 的高速差分信号部分是集成在 MULTI PHY 中，详细的复用情况见 MULTI PHY 章

节的描述。这里需要注意的是，完整的 USB3.0 信号由 USB3.0 高速差分对与 USB2.0 HOST1 组成，其对应关系固定，不可随意调整。

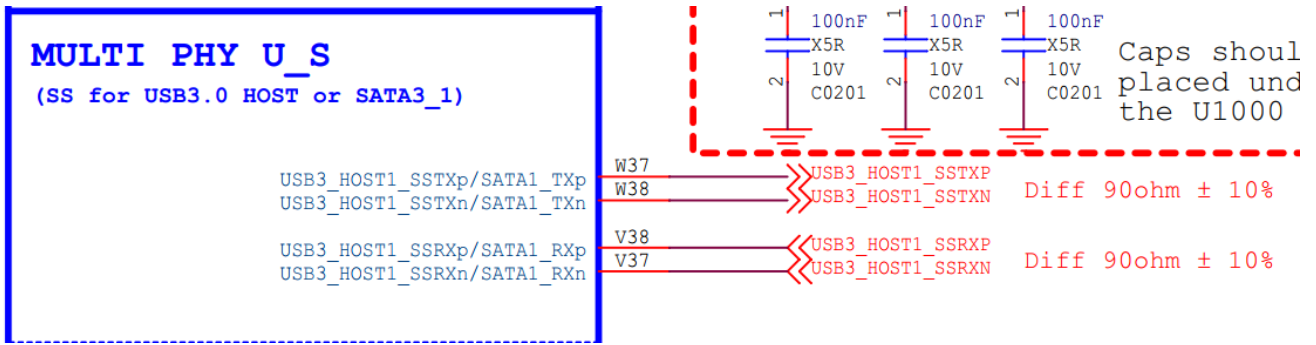


图 2-46 RK3566 USB3.0模块

对于 USB3.0 接口中的 USB2.0HOST1，其设计要点见上节描述。对于 USB3.0 的差分对，其 ESD 器件的寄生电容要求小于 0.4pF，ESD 器件靠近 USB 接口放置。如下图所示：

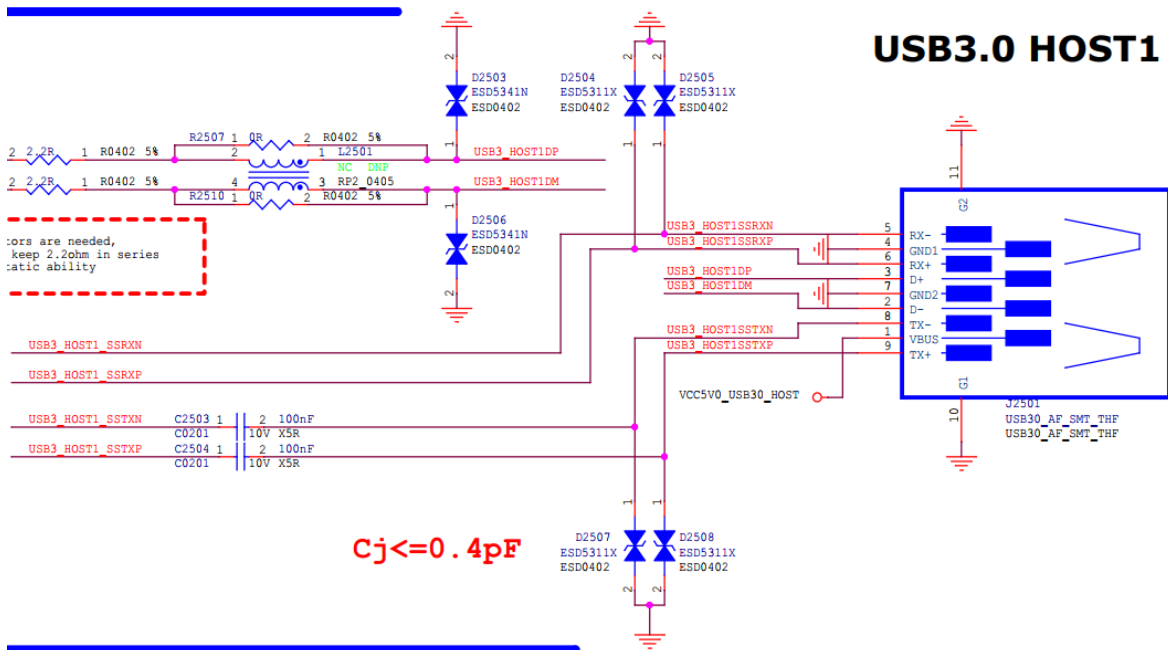


图 2-47 RK3566 USB3.0信号电路防护

2.3.2.3 USB 电源设计

为保证 USB 电源的供电质量，控制器的 0.9V/1.8V 电源需要串联磁珠；同时，USB 控制器电源的去耦电容请靠近管脚放置。

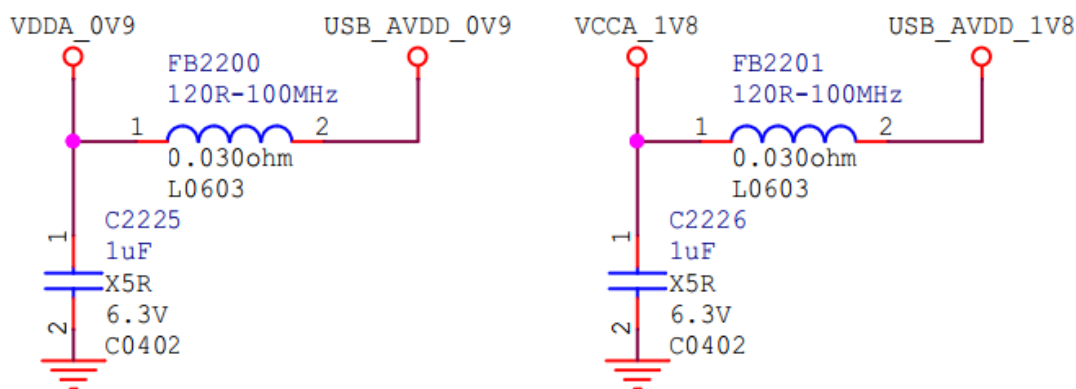


图 2-48 RK3566 USB控制器电源设计

USB 接口上下拉和匹配设计推荐如下表：

表 2-13 RK3566 USB2.0接口设计

信号	连接方式	说明
USB_OTG0_DP/DM	串联 2.2ohm 电阻	USB OTG 输入/输出
USB_OTG0_ID	串联 100ohm 电阻 (内部有 1.8V 上拉)	USB OTG ID 识别, Micro-B 接口时需要使用
USB_OTG0_VBUSDET	电阻分压检测	USB OTG 插入检测
USB_HOST1_DP/DM	串联 2.2ohm 电阻	USB HOST1 输入/输出
USB3_HOST1_SSTXP/SSTXN	串接 100nF 电容	USB SS TX 差分对, 阻抗 90ohm \pm 10%
USB3_HOST1_SSRXP/SSRXN	直连或串接 0ohm 电阻 (规范要求外设 TX 串接 100nF 电容)	USB SS RX 差分对, 阻抗 90ohm \pm 10%
USB3_HOST2_DP/DM	串联 2.2ohm 电阻	USB HOST2 输入/输出
USB3_HOST3_DP/DM	串联 2.2ohm 电阻	USB HOST3 输入/输出

2.3.3 SARADC 电路

RK3566 集成了一个 SARADC 控制器，可提供四路 SARADC 输入。

RK3566 芯片采用 SARADC 的 SARADC_VIN0 做为键值输入采样口，并复用为 Recovery 模式按键 (LOADER 默认设置支持)。SARADC_VIN0 通过 10k 上拉电阻上拉到 VCCA_1V8，默认为高电平 (1.8V)，在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态、将 SARADC_VIN0 保持为低电平 (0V)，则 RK3566 进入 Rockusb Recovery 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_VIN0 恢复为高电平 (1.8V)，即可进行固件烧写。因此，在未使用到 Recovery 模式按键/SARADC_VIN0 情况下，仍建议保留 SARADC_VIN0 的 10k 上拉电阻，保证默认的正常启动判断。

RK3566 上，SARADC 采样范围为 0-1.8V，采样精度为 10bits。按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于 +/-35,即中心电压差必须大于 123mV。

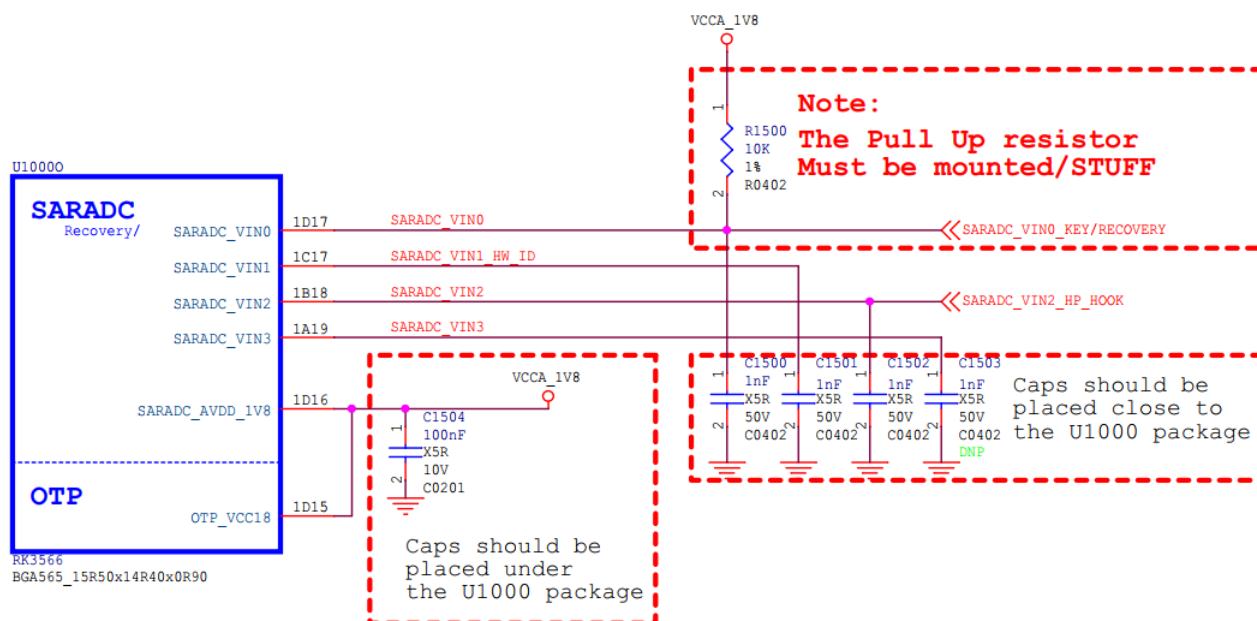


图 2-49 RK3566 SAR-ADC模块

设计中需要注意，SARADC 控制器电源的去耦电容需靠近管脚放置。SARADC 输入为模拟信号，需做好走线的防护，与其他信号尽量保持 3W 以上的走线间距，如有条件可进行包地处理。此外，SARADC 用于按键采集时，靠近按键处需做 ESD 防护，按键信号输入应采取防抖措施，详细电路见参考原理图。

SARADC 接口设计推荐如下表：

表 2-14 RK3566 SARADC接口设计

信号	连接方式	描述（芯片端）
SARADC_VIN0	外部通过 10K 上拉到 VCCA_1V8 直连，靠近管脚并接 1nF 电容	通常用于按键采集，以及 Recovery mode 的状态判断。
SARADC_VIN[3:1]	直连，靠近管脚并接 1nF 电容	可灵活用于各类模拟量采集。

2.3.4 OTP 电路

RK3566 内部集成 8Kbit OTP，其中 7Kbit 可用于安全应用。OTP 支持编写、读取以及空闲模式，这几个模式下 OTP_VCC18 管脚都必须供电，电源的去耦电容必须保留，且靠近 RK3566 管脚放置。

2.3.5 UART 与调试 UART 电路

2.3.5.1 UART 资源介绍

RK3566 集成 10 组 UART 接口，与其他接口类似，考虑到产品的接口应用多样性，UART 控制器做了多路复用，原理图中带有后缀“_M0/M1/M2”的标志即为对应功能的复用编号说明，设计时需做好资源分配，避免冲突。

表 2-15 RK3566 UART接口分布情况

UART 编号	UART 复用情况	所属电源域
UART0	无	PMUIO2
UART1	M0, M1	M0:VCCIO4 M1:VCCIO6
UART2	M0, M1	M0:PMUIO2 M1:VCCIO3
UART3	M0, M1	M0:VCCIO1 M1:VCCIO5
UART4	M0, M1	M0:VCCIO1 M1:VCCIO5
UART5	M0, M1	M0:VCCIO3 M1:VCCIO5
UART6	M0, M1	M0:VCCIO4 M1:VCCIO3
UART7	M0, M1, M2	M0:VCCIO4 M1:VCCIO5 M2:VCCIO6
UART8	M0	M0:VCCIO4
UART9	M0, M1, M2	M0:VCCIO4 M1:VCCIO7 M2:VCCIO6

UART 控制器支持以下功能：

- 支持 10 个独立的 UART 控制器，均包含两个 64 字节的 FIFO 用于数据接收和传输；
- 除支持 115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps 外，均支持自动流量控制；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于 DMA 的模式；
- 支持 5-8 位宽度传输。

2.3.5.2 调试 UART 电路

RK3566 的调试 UART 默认使用 UART2_RX_M0，属于 PMUIO2 电源域，当需要调试时，可以外接 UART 转 USB 转接小板进行调试。因此强烈建议客户设计中预留有调试串口信号的 TP 点，或预留测试排针。

需要注意 UART2_RX_M0 的 IO 电平取决于 PMUIO2 的实际供电，tablet 参考设计中默认为 1.8V，AIoT 参考设计中默认为 3.3V，需要根据实际电平与转换芯片情况决定是否需要进行分压、或电平转换处理。

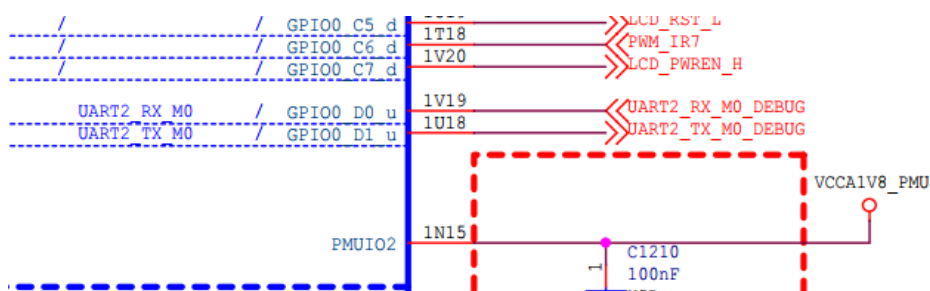


图 2-50 RK3566 UART2调试点

在调试与生产阶段，需要注意 Debug UART2 接口的防护，参考如下：

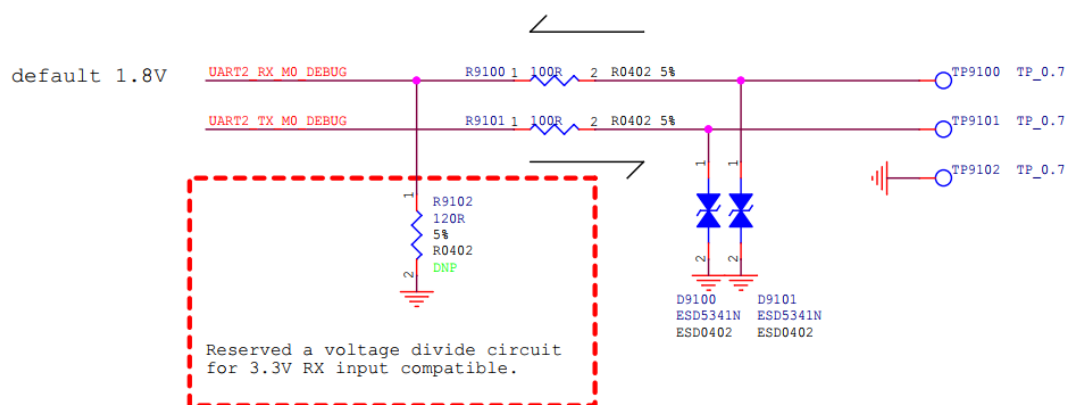


图 2-51 RK3566 UART2接口防护电路

端口号请选择 PC 连接开发板的端口号，波特率选择 1.5M，流控 RTS/CTS 不需勾选。如果 PC 端内置的 DB-9 端口不支持高速率模式，请使用 USB 转串口的方式。



图 2-52 RK3566 串口配置

2.3.6 I2C 电路

I2C 是一种两线制双向串行总线，RK3566 的 I2C 控制器支持以下功能：

- 支持 7 个独立的 I2C；
- 支持 I2S 总线主模式；
- 软件可编程时钟频率和传输速率高达 400Kbit/s；

- 支持 7 位/10 位寻址模式；

I2C 同样支持多路复用，原理图中带有后缀“_M0/M1”的标志即为对应功能的复用编号说明，设计时需做好资源分配，避免冲突。由于 I2C 较为容易遇到冲突，故特别强调。同时需要注意 I2C 总线上各外设地址不要冲突，上拉电源保持一致、外设无漏电或倒灌等风险。

表 2-16 RK3566 I2C接口分布情况

I2C 编号	I2C 复用情况	所属电源域
I2C0	无	PMUI02
I2C1	无	PMUI02
I2C2	M0, M1	M0:PMUI02 M1:VCCIO6
I2C3	M0, M1	M0:VCCIO1 M1:VCCIO5
I2C4	M0, M1	M0:VCCIO6 M1:VCCIO4
I2C5	M0, M1	M0:VCCIO5 M1:VCCIO7
I2C_HDMI	无	VCCIO7

其中，I2C0 属于 PMUI02 电源域，默认用于连接 PMIC，建议保持该组连接以减少软件改动。其余 I2C 可根据电平、外设等实际使用情况进行灵活分配。

另外，需要特别说明 HDMI_TX_SCL/HDMI_TX_SDA 是 HDMI TX 控制器专用的 I2C/DDC 总线，勿作他用。

2.3.7 PWM 电路

在产品设计中，脉冲宽度调制 (PWM) 技术的应用非常广泛，常用于控制伺服电机或背光调压等应用。RK3566 集成了 4 个独立的 PWM 控制器，每个控制器有 4 个通道，因此最多可以有 16 个 PWM 通道。

RK3566 的 PWM 具有以下特点：

- 支持捕获模式；
- 支持连续模式或单发模式；
- 支持二级分频；
- 支持低功耗模式，在通道处于非活动状态时降低功耗；

其中，PWM3、PWM7、PWM11、PWM15 可用于红外接收解码应用，通过芯片内部集成的专用硬件解码器，可提高红外信号解码效率。当需要红外接收头输入实现待机唤醒，则应使用 PWM3_IR；

PWM 信号的多路复用情况见下表，原理图中带有后缀“_M0/M1”的标志即为对应功能的复用编号说明，设计时需做好资源分配，避免冲突。

表 2-17 RK3566 PWM接口分布情况

PWM 编号	PWM 复用情况	所属电源域
PWM0	M0, M1	M0:PMUI02 M1:PMUI02
PWM1	M0, M1	M0:PMUI02

PWM 编号	PWM 复用情况	所属电源域
		M1:PMUIO2
PWM2	M0, M1	M0:PMUIO2 M1:PMUIO2
PWM3_IR	无	PMUIO2
PWM4	无	PMUIO2
PWM5	无	PMUIO2
PWM6	无	PMUIO2
PWM7_IR	无	PMUIO2
PWM8	M0, M1	M0:VCCIO5 M1:VCCIO3
PWM9	M0, M1	M0:VCCIO5 M1:VCCIO3
PWM10	M0, M1	M0:VCCIO5 M1:VCCIO3
PWM11_IR	M0, M1	M0:VCCIO5 M1:VCCIO6
PWM12	M0, M1	M0:VCCIO5 M1:VCCIO7
PWM13	M0, M1	M0:VCCIO5 M1:VCCIO7
PWM14	M0, M1	M0:VCCIO5 M1:VCCIO7
PWM15_IR	M0, M1	M0:VCCIO5 M1:VCCIO7

2.3.8 SPI 电路

除了 FSPI 控制器，RK3566 还集成了 4 个通用 SPI 控制器，均支持 master 和 slave 两种模式。SPI 控制器也支持多路复用，原理图中带有后缀“_M0/M1”的标志即为对应功能的复用编号说明，设计时需做好资源分配，避免冲突。

表 2-18 RK3566 SPI接口分布情况

SPI 编号	SPI 复用情况	所属电源域
SPI0	M0	PMUIO2
SPI1	M0, M1	M0:VCCIO4 M1:VCCIO5
SPI2	M0	M0:VCCIO4
SPI3	M0, M1	M0:VCCIO6 M1:VCCIO7

2.3.9 以太网接口

RK3566 芯片内置一个 GMAC 控制器，提供 RMII 接口和 RGMII 接口，兼容以太网物理层的完整以太网接口 10/100/1000M 以太网控制器：

- 支持 10/100/1000Mbps 数据传输速率的 RGMII 接口；
- 支持 10/100Mbps 数据传输速率的 RMII 接口；
- 支持全双工和半双工操作；
- 支持 TCP 分段卸载（TSO）和 UDP 分段卸载（UFO）网络加速。

RGMII 功能管脚复用在两个电源域中，RGMII_M0 的电源域是 VCCIO5，RGMII_M1 的电源域是 VCCIO6，每次只能使用其中一组接口。GMAC 的电源 VCCIO5 或 VCCIO6 都可以使用 1.8V 或 3.3V 供电，需保持跟 PHY 的 IO 电平一致。

RGMII 和 RMII 接口的定义是一一对应的，比如 RGMII_CLK 引脚，当用到 100MPHY 时，RGMII_CLK 可以当做 RMII_CLK，依次类推。

一些信号设计的注意事项：

- RGMII 接口收发信号线上，TX_CLK 和 RX_CLK 是 125MHz，为了达到 1000Mbps 的传输速率，TXdata 和 RXdata 信号线在时钟的双边沿都进行采样，数据使能信号(RGMII_TXEN、RGMII_RXDV) 必须在数据发出有效前使能。
- 复位：RGMII 对 PHY 的复位方式用 GPIO 来控制，也可以使用 RC 硬件复位电路，需要注意的是，若是采用 RC 硬件复位电路，则 PHY 的电源必须是可控的。默认使用 GPIO 来控制。
- MAC 层和 PHY 之间传送控制和状态信息为 MDIO 接口，时钟 MDC 信号和数据 MDIO 信号，需要注意的是 MDIO 信号需要上拉。
- 10/100M 原理和接法与 1000M 类似，不同的是 RGMII_CLK=50M；需要注意的是 10/100M 的 PHY_CRSDV 是接 RGMII_RXDV。
- RGMII 接口可以连接不同的以太网 PHY，实现 100M/1000M 网络功能，具体的设计请参考 PHY 原厂的设计文档。

2.3.9.1 RGMII 接口与 1000M PHY 的设计

RGMII 可以提供的时钟方案如下图所示：

- 第一种：外部晶振提供 25MHz clock 信号给以太网 PHY 的 XTAL 引脚，然后 PHY 在内部转成 125MHz 的时钟信号，这个时钟信号可以通过 PHY 的 CLKOUT 引脚输出，并接到主控的 RGMII_CLK 引脚。此时要注意 PHY 和 GAMC 控制器电平要一致。
- 第二种：外部晶振提供 25MHz clock 信号给以太网 PHY 的 XTAL 引脚，但不需要从 PHY 返回 CLK 信号（此时不需要使用到主控的 RGMII_CLK 引脚），而是从主控的 RGMII_TXCLK 引脚输出一个 125MHz 的 clock 信号并连接到 PHY 的 TXC 引脚。
- 第三种：EHT1_REFCLKO_25M 引脚提供 25MHz clock 信号给以太网 PHY，然后 PHY 在内部转成 125MHz 的时钟信号，这个时钟信号可以通过 PHY 的 CLKOUT 引脚输出，并接到主控的 RGMII_CLK 引脚。此时要注意 PHY 和 GAMC 控制器电平要一致。
- 第四种：EHT1_REFCLKO_25M 引脚提供 25MHz clock 信号给以太网 PHY，但不需要从 PHY 返回 CLK 信号（此时不需要使用到主控的 RGMII_CLK 引脚），而是从主控的 RGMII_TXCLK 引脚输出一个 125MHz 的 clock 信号并连接到 PHY 的 TXC 引脚。

目前默认使用第一种方式。

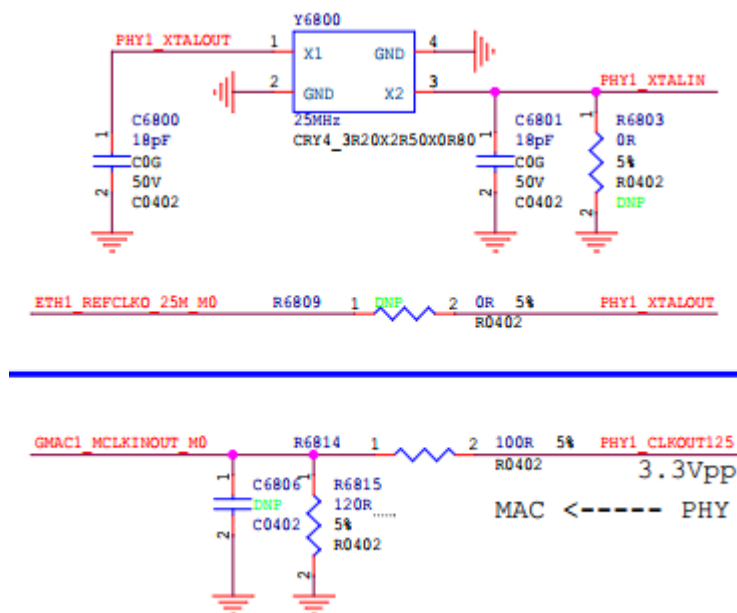


图 2-53 RK3566 GMAC Clock电路

RGMIIC 接口上下拉和匹配设计推荐如下表, RGMIIC_M0 的电源域是 VCCIO5, RGMIIC_M1 的电源域是 VCCIO6,均为整组复用, 此处不再赘述:

表 2-19 RK3566 RGMIIC/GMIIC接口设计

RGMIIC 信号	RMII 信号	内部上下拉	连接方式	描述
EHT1_REFCLKO_25M		下拉	串联 22ohm 电阻	给 PHY 输出参考时钟
GMAC_MCLKINOUT	RMII_CLK	下拉	串联 22ohm 电阻	GMAC 时钟输出或输入
GMAC_MDIO	RMII_MDIO	下拉	串联 22ohm 电阻	MDIO 数据
GMAC_MDC	RMII_MDC	下拉	串联 22ohm 电阻	MDIO 时钟
GMAC_RXDV_CRS	RMII_RXDV	下拉	串联 22ohm 电阻	CRS:物理 CRS 信号, 非必需 RXDV:RMII 的 RX 数据有消息和载波检测
GMAC_COL		下拉	串联 22ohm 电阻	检测物理碰撞, 非必需
GMAC_RXER	RMII_RXER	下拉	串联 22ohm 电阻	MAC 接收错误, 非必需
GMAC_RXCLK		下拉	串联 22ohm 电阻	GMAC 接收时钟
GMAC_RXD[3:0]	RMII_RXD[1:0]	下拉	串联 22ohm 电阻	GMAC 接收数据
GMAC_TXD[3:0]	RMII_TXD[1:0]	下拉	串联 22ohm 电阻	GMAC 发送数据
GMAC_TXEN	RMII_TXEN	下拉	串联 22ohm 电阻	GMAC 发送数据有效信号
GMAC_TXCLK		下拉	串联 22ohm 电阻	GMAC 发送时钟

设计注意:

- 以太网 PHY 的电路设计详见参考原理图;
- ETH1_REFCLKO_25M 时钟的串接电阻靠近主控; 走线须包地处理, 包地路径打地过孔, 地孔间隔不大于 300mil;
- RXD、RXDV、RXCLK 的串接电阻靠近 PHY;
- TXD、TXEN、TXCLK 的串接电阻靠近主控;

- TXCLK 和 TXD、TXEN 之间的延迟必须控制在 120mil 以内；
- RXCLK 和 RXD、RXDV 之间的延迟必须控制在 120mil 以内；
- TXCLK 和 RXCLK 必须包地处理，包地路径打地过孔，地孔间隔不大于 300mil；
- RGMII 所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号回流路径的情况；
- RGMII 信号需要控制阻抗，单端阻抗 50ohm±10%；RGMII 信号走线不超过 5inch；

2.3.9.2 RMI 接口与 100M PHY 的信号对应关系

相关信号的复用关系如下图，需注意 TX/RX 方向：

GMAC	Direction	GEPHY	GMAC	Direction	FEPHY
GMACx_TXD0	----->	PHYx_TXD0	GMACx_TXD0	----->	PHYx_TXD0
GMACx_TXD1	----->	PHYx_TXD1	GMACx_TXD1	----->	PHYx_TXD1
GMACx_TXD2	----->	PHYx_TXD2			
GMACx_TXD3	----->	PHYx_TXD3			
GMACx_TXEN	----->	PHYx_TXEN	GMACx_TXEN	----->	PHYx_TXEN
GMACx_TXCLK	----->	PHYx_TXCLK			
GMACx_RXD0	<-----	PHYx_RXD0	GMACx_RXD0	<-----	PHYx_RXD0
GMACx_RXD1	<-----	PHYx_RXD1	GMACx_RXD1	<-----	PHYx_RXD1
GMACx_RXD2	<-----	PHYx_RXD2			
GMACx_RXD3	<-----	PHYx_RXD3			
GMACx_RXDV	<-----	PHYx_RXDV	GMACx_RXDV	<-----	PHYx_CRS_DV
GMACx_RXCLK	<-----	PHYx_RXCLK			
GMACx_RXER			GMACx_RXER	<-----	PHYx_RXER
GMACx_MDC	----->	PHYx_MDC	GMACx_MDC	----->	PHYx_MDC
GMACx_MDIO	<----->	PHYx_MDIO	GMACx_MDIO	<----->	PHYx_MDIO
ETHx_REFCLKO_25M	----->	PHYx_XTALIN			
GMACx_MCLKINOUT	<-----	PHYx_CLKOUT125 (Option)	GMACx_MCLKINOUT	----->	PHYx_XTALIN/REFCLK
GPIO	----->	PHYx_RSTn	GPIO	----->	PHYx_RSTn
GPIO	<-----	PHYx_INT/PMEB	GPIO	<-----	PHYx_INT/PMEB

图 2-54 RK3566 RGMII RMI 信号对应关系

2.4 音频相关电路设计

RK3566 提供三组标准 I2S 接口，均支持 master 或 slave 模式、最高采样率至 192kHz，比特率从 16bits 到 32bits。

此外，还提供了一组 8 路输入的 PDM 接口，和一个 SPDIF TX 输出。

2.4.1 I2S1 数字音频接口

I2S1 接口包含独立的 8 通道输出和 8 通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLKTX/LRCKTX,SCLKRX/LRCKRX)；需要注意的是，对于 SDOx 和 SDIx 只参考一组位/帧时钟的情形，默认使用 SCLKTX/LRCKTX 同时作为它们的共同时钟。

I2S1 接口支持主从工作模式，软件可配置；支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）。

该组 I2S 引脚复用在两个不同的电源域，I2S1_M0 复用在 VCCIO1，其中有三个 SDOx 和 SDIx 信号存在复用冲突；I2S1_M1 复用在 VCCIO6，可完整引出所有信号。I2S1_M0 和 I2S1_M1 不能同时使用，每次

只能用其中一组。需要根据 I2S 外设的 IO 电平，调整对应的电源域供电，使其匹配。

在使用 PMIC 供电方案情况下，I2S1_M0 通常作为 PMIC 集成 Codec 的音频通讯接口，因此该组 VCCIO 供电可直接使用 PMIC 的 VCCIO_ACODEC 电源。

I2S0 接口上下拉和匹配设计推荐如表所示。

表 2-20 RK3566 I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_8CH_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S1_8CH_SCLK_TX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S1_8CH_LRCK_TX	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择 (TX, 关联 Audio Play)
I2S1_8CH_SDO0	下拉	直连	I2S 串行数据 0 输出
I2S1_8CH_SDO1	下拉	直连	I2S 串行数据 1 输出
I2S1_8CH_SDO2	下拉	直连	I2S 串行数据 2 输出
I2S1_8CH_SDO3	下拉	直连	I2S 串行数据 3 输出
I2S1_8CH_SCLKRX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (RX, 关联 Audio Record)
I2S1_8CH_LRCKRX	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择 (RX, 关联 Audio Record)
I2S1_8CH_SDI0	下拉	直连	I2S 串行数据 0 输入
I2S1_8CH_SDI1	下拉	直连	I2S 串行数据 1 输入
I2S1_8CH_SDI2	下拉	直连	I2S 串行数据 2 输入
I2S1_8CH_SDI3	下拉	直连	I2S 串行数据 3 输入

2.4.2 I2S2 数字音频接口

I2S2 接口包含独立的 2 通道输出和 2 通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLKTX/LRCKTX,SCLKRX/LRCKRX)；需要注意的是，对于 SDOx 和 SDIx 只参考一组位/帧时钟的情形，默认使用 SCLKTX/LRCKTX 同时作为它们的共同时钟。

I2S2 接口支持主从工作模式，软件可配置；支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）。

该组 I2S 引脚复用在两个不同的电源域，I2S2_M0 复用在 VCCIO4，I2S2_M1 复用在 VCCIO6，均可完整引出所有信号。I2S2_M0 和 I2S2_M1 不能同时使用，每次只能用其中一组。需要根据 I2S 外设的 IO 电平，调整对应的电源域供电，使其匹配。

在带有蓝牙功能的设计中，默认情况下 I2S2 使用 M0 处复用，作为 PCM 功能与蓝牙外设连接。设计中需要检查接口与蓝牙外设的收发信号对应连接关系。

I2S2 接口上下拉和匹配设计推荐如表所示。

表 2-21 RK3566 I2S2接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S2_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S2_SCLK_TX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S2_LRCK_TX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (TX, 关联 Audio Play)
I2S2_SD00	下拉	直连	I2S 串行数据 0 输出
I2S2_SCLKRX	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (RX, 关联 Audio Record)
I2S2_LRCKRX	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (RX, 关联 Audio Record)
I2S2_SDI0	下拉	直连	I2S 串行数据 0 输入

2.4.3 I2S3 数字音频接口

I2S3 接口支持 2 通道输出与 2 通道输入, 需保持同采样率。

I2S3 接口支持主从工作模式, 软件可配置; 支持 3 种 I2S 格式 (常规、左对齐、右对齐); 支持 4 种 PCM 格式 (early、late1、late2、late3)。

该组 I2S 引脚复用在两个不同的电源域, I2S3_M0 复用在 VCCIO5, I2S3_M1 复用在 VCCIO7, 均可完整引出所有信号。I2S3_M0 和 I2S3_M1 不能同时使用, 每次只能用其中一组。需要根据 I2S 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

I2S3 接口上下拉和匹配设计推荐如表所示。

表 2-22 RK3566 I2S3接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S3_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S3_SCLK	下拉	串联 22ohm 电阻	I2S 连续串行时钟 (TX, 关联 Audio Play)
I2S3_LRCK	下拉	串联 22ohm 电阻	I2S 帧时钟, 用于声道选择 (TX, 关联 Audio Play)
I2S3_SD00	下拉	直连	I2S 串行数据 0 输出
I2S3_SDI0	下拉	直连	I2S 串行数据 0 输入

2.4.4 PDM 数字音频接口

RK3566 提供一组 PDM 数字音频接口, 最多支持 8 路 PDM 格式音频输入 (每一根 PDM_SDI 通过上升/下降沿分时采样, 可输入两路音频数据), 最高采样率至 192kHz, 比特率从 16bits 到 32bits。

该组 PDM 引脚复用在三个不同的电源域, PDM_M0 复用在 VCCIO1, PDM1_M1 复用在 VCCIO6, PDM_M2 复用在 VCCIO5。三处复用不能同时使用, 每次只能用其中一组。需要根据 PDM 外设的 IO 电平, 调整对应的电源域供电, 使其匹配。

PDM 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响, 提供了两个同源同相的 PDM 时钟, PDM_CLK0 和 PDM_CLK1。

表 2-23 RK3566 PDM接口设计

信号	内部上下拉	连接方式	描述（芯片端）
PDM_CLK0	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM_CLK1	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM_SDI[3:0]	下拉	直连	PDM 数据输入 0、1、2、3

2.4.5 SPDIF 数字音频接口

RK3566 提供一个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY、PHILIPS 数字音频接口的简称。就传输载体而言，SPDIF 又分为同轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异，SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

下图为参考原理图所提供的光纤接口 SPDIF 参考示意，在走线的时候建议伴随地处理：

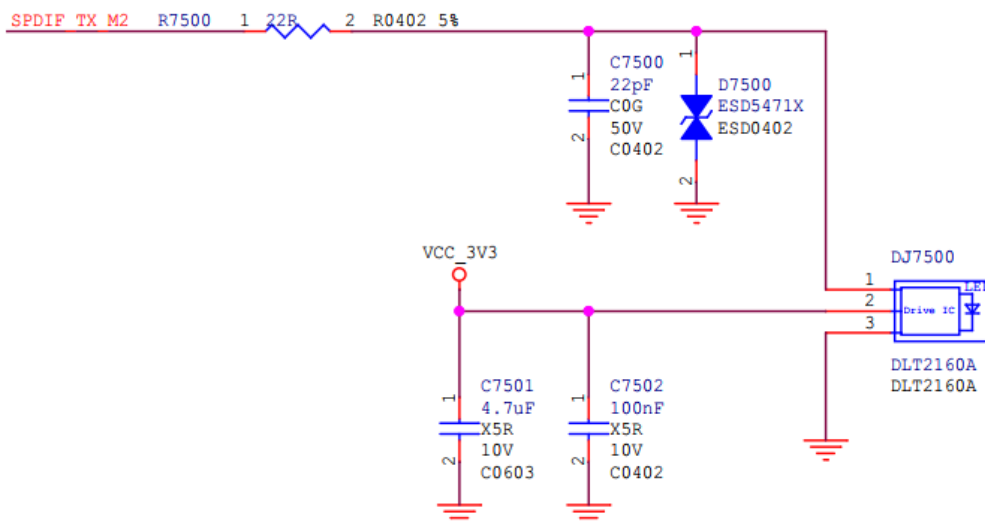


图 2-55 RK3566 SPDIF 光纤接口电路

SPDIF 接口上下拉和匹配设计推荐如表所示。

SPDIF 信号走线建议全程包地处理，包地路径打地过孔，地孔间隔不大于 300mil。

表 2-24 RK3566 SPDIF 接口设计

信号及复用情况	内部上下拉	连接方式	所属电源域
SPDIF_TX_M0	下拉	串联 22ohm 电阻	VCCI01
SPDIF_TX_M1	下拉	串联 22ohm 电阻	VCCI05
SPDIF_TX_M2	下拉	串联 22ohm 电阻	VCCI07

2.4.6 Codec 及模拟音频接口

在使用 PMIC 供电方案下，RK817-5/RK809-5 自带的 Codec 可以扩展耳机输出、小功率单声道喇叭、一路差分或两路单端音频输入的功能。二者电路一致，下文以 RK817-5 作示意进行介绍：

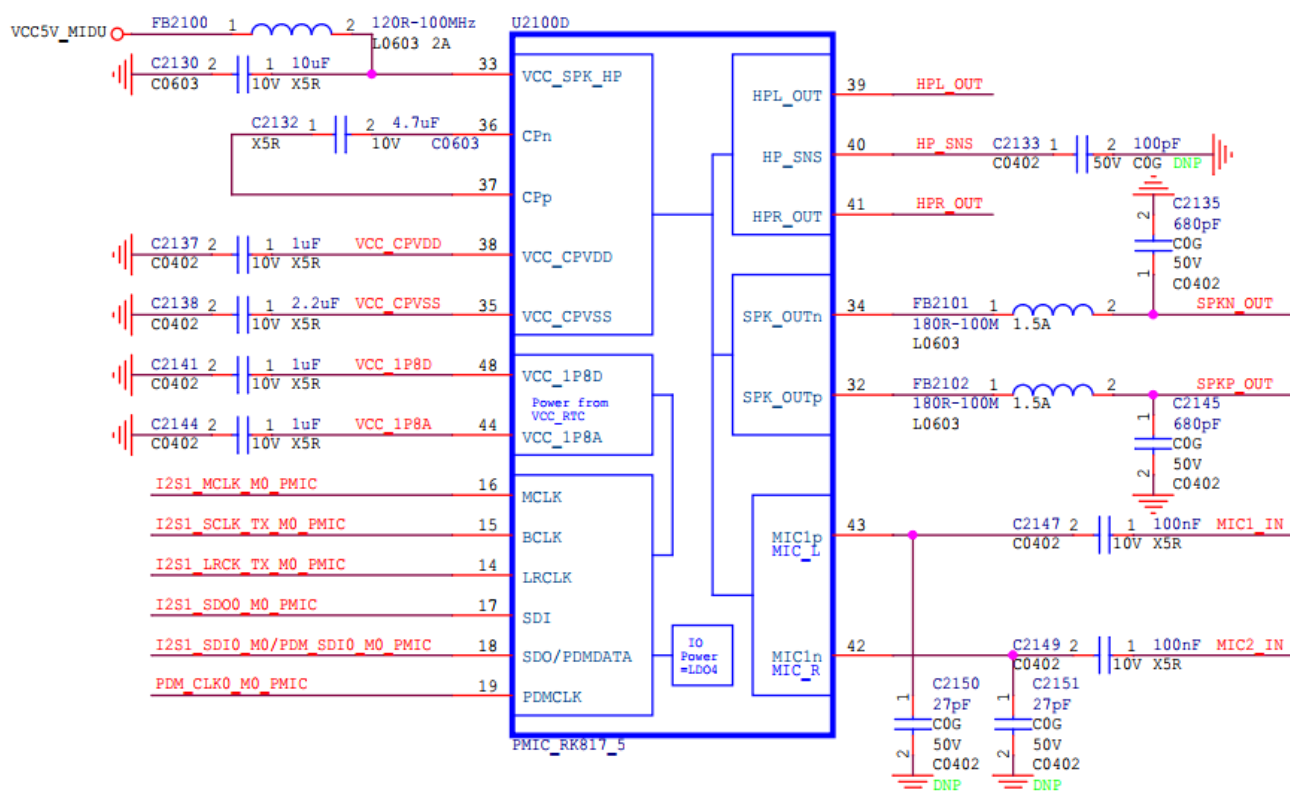


图 2-56 RK817-5 Codec电路



注意

如果不使用 RK817-5/RK809-5 的 Codec 功能，相关管脚 MCLK/BCLK/LRCLK/SDI/PDMCLK/HP_SNS 必须接地，其余 SDO/PDMDATA/CPn/CPp/VCC_CPVDD/VCC_CPVSS/HPL_OUT/HPR_OUT/SPK_OUTn/SPK_OUTp/MIC1p/MIC1n 管脚悬空即可。

Codec 输入的 HPSNS 作为内部 Offset 参考，这个引脚在外部需要连接到 GND 作参考。对于 HPOUT 作 LINEOUT 使用连接外部功放的场景，HPSNS 可在 PMIC 附近接地。对于耳机输出的场景，HPSNS 需要单独走线到耳机座子处与 GND 相连，减小与耳机 GND 间的电平差，走线时在 HPR/HPL 中间伴随走线，避免受其他信号干扰，走线如下图所示。耳机座的 HP_DET 串接 1KOhm 电阻，并留有 100nF 滤波电容和 ESD 器件，以加强抗静电浪涌能力，HP_DET 可以使用 GPIO 的内部上拉，此时外部的 100KOhm 上拉电阻可不上件。

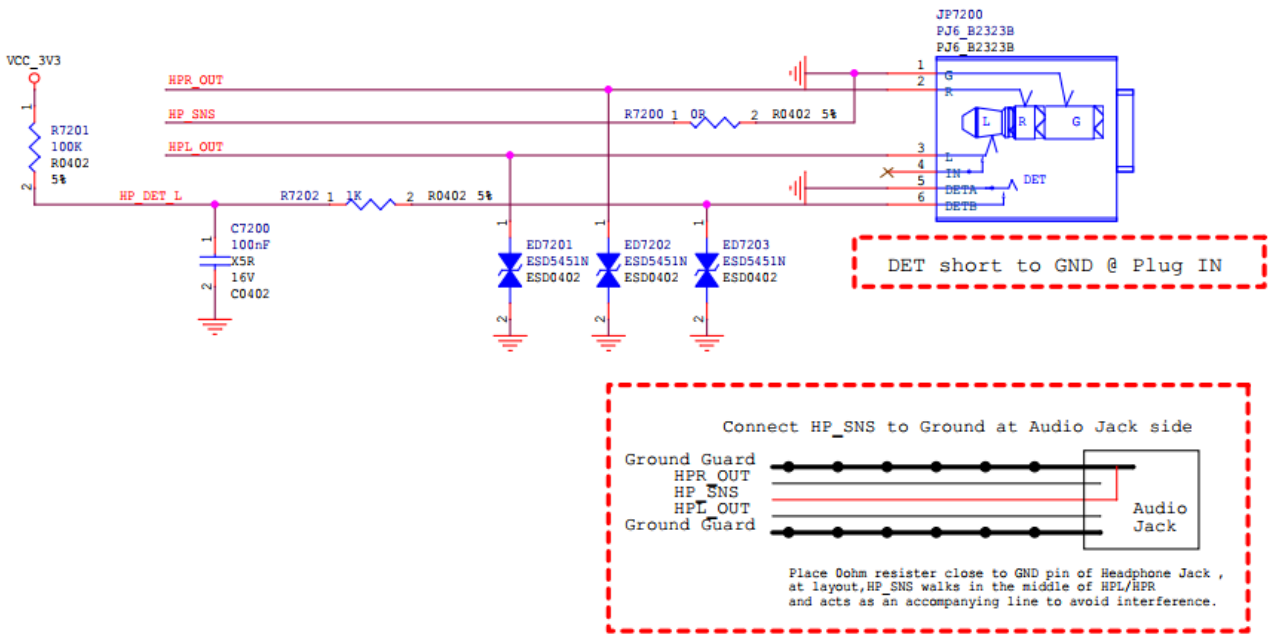


图 2-57 RK817-5 Headphone电路

Codec 内置单声道免滤波喇叭驱动电路，可提供 1.3W@8ohm 的驱动能力，满足对小功率单声道的应用场景，可省去额外的外部功放成本。喇叭输出的滤波电路靠近 RK817-5，ESD 防护器件则放置在靠近连接座处。

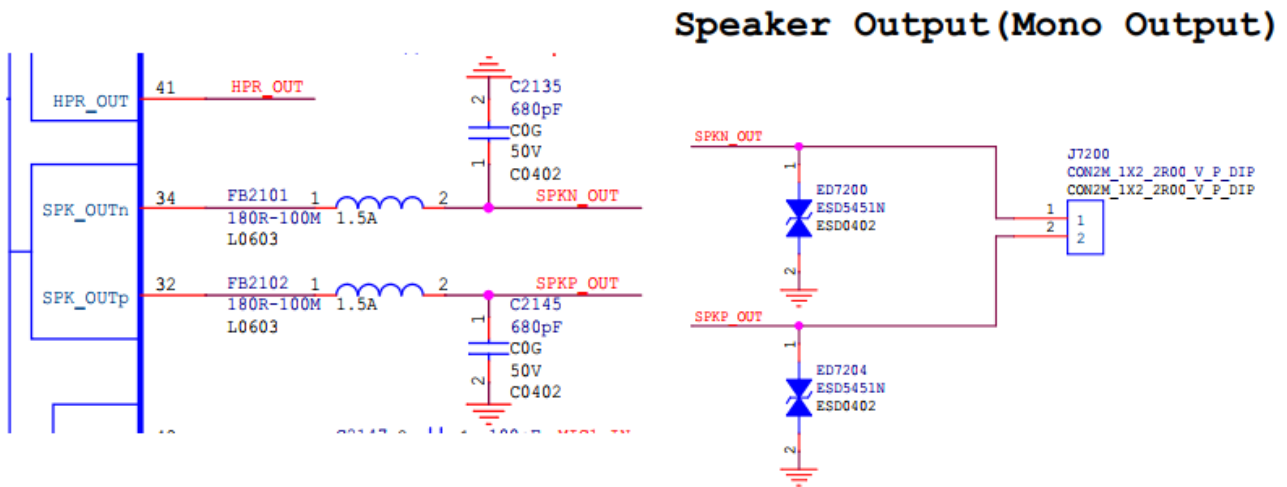


图 2-58 RK817-5 Speaker电路

若 Codec 内置单声道喇叭驱动电路无法满足对驱动能力的要求，或需要实现立体声功能或追求更高音质时，可外挂独立的模拟/数字功放。当外挂模拟功放时，使用 HPOUT 作 LINEOUT 进行输出；当外挂数字功放时，连接到 I2S 接口即可。

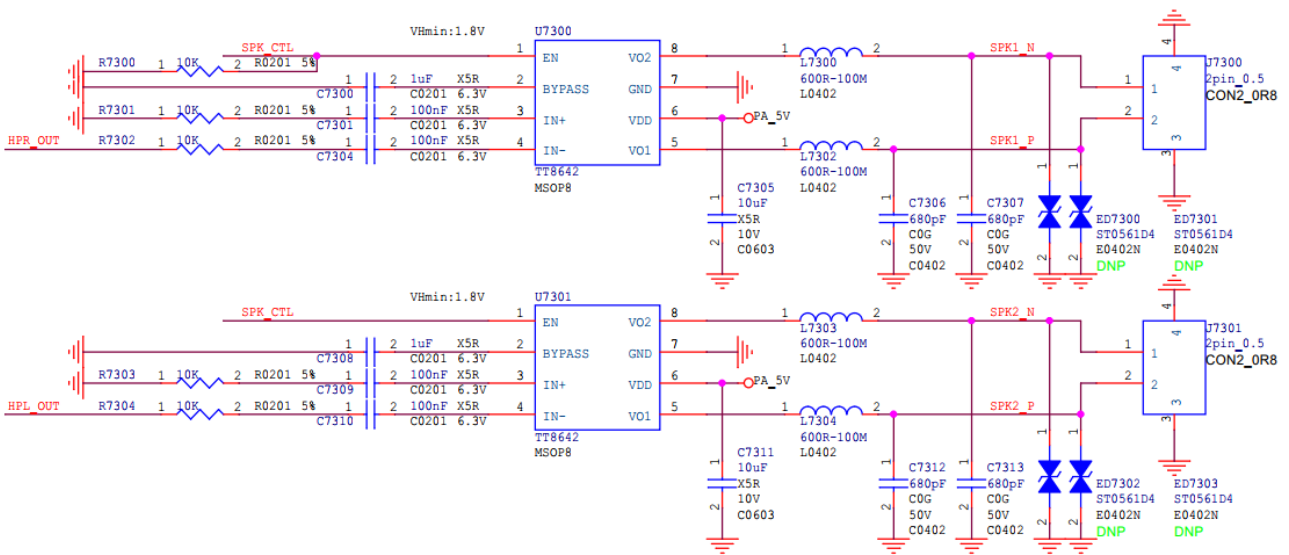


图 2-59 RK817-5 外接模拟功放示意图

需要注意的是，当功放输出功率较大的时候，RK817-5 的 VCC5V_MIDU 可能无法满足供电需求，此时可以外挂 boost 升压电路，从 VBAT 直接取电进行升压，以满足带载要求。

2.4.6.1 MIC

MIC 电路如下图所示，当使用四段耳机时，RK817-5 的模拟 ADC 可拆分为两个单端输入，当使用三段耳机时，RK817-5 的模拟 ADC 可配置为一个差分输入。相比单端输入，差分输入具有更好的录音效果，更低的噪声。单端连接时，MIC1/MIC2 单独走线并各自包地处理；差分连接时，MICP/MICN 按差分耦合走线，并整组包地。

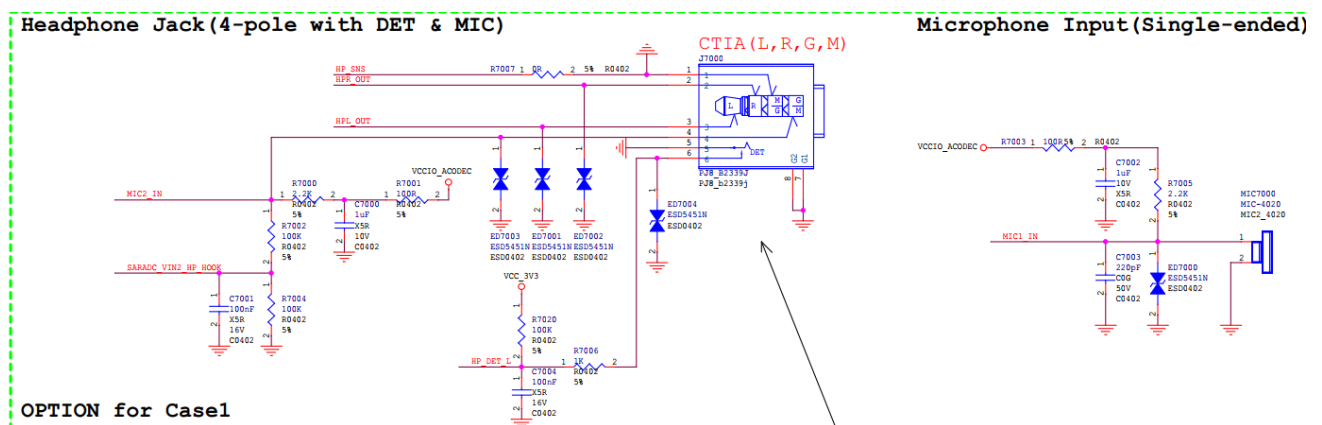


图 2-60 RK817-5 外接四段耳机与单端麦克风示意图

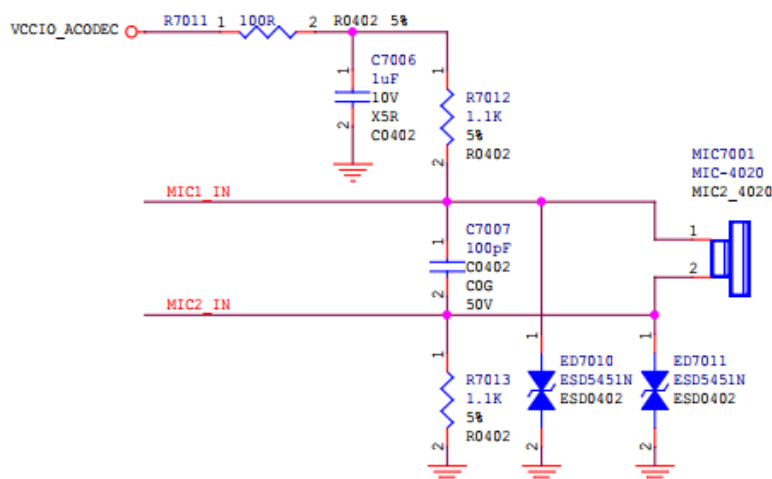


图 2-61 RK817-5 外接差分麦克风示意图

2.4.6.2 音频输入输出与多麦克风方案介绍

RK3566 的参考设计中，提供了多场景音频输入输出方案与多麦克风方案。简单介绍如下：

当 RK817-5 集成的 ADC 能够满足输入需求的时候，优先使用 RK817-5 的 ADC 输入；**当需要用到远场拾音和回采的时候，请勿使用单端 ADC 连接，默认使用差分输入，如果输入接口不足，则需要外扩 ADC 来解决。**当前方案默认使用 PDM 接口的音频 ADC，也可以使用 I2S 接口的音频 ADC。

当 RK817-5 集成的单声道小功率 D 类功放能满足的时候，优先使用。若需要大功率或更好的输出音质，则建议外扩模拟功放或数字功放。模拟功放可以使用 RK817-5 的 HPOUT 作为音源，数字功放可使用 I2S 接口外扩。需要注意的是功放的电源设计，当功率较大的时候，建议通过 VBAT 直接 boost 升压的方式进行供电。

为简化软件设计，优先推荐选用下表的音频应用场景：

表 2-25 RK3566 音频应用场景与图纸对应关系

应用场景	对应参考图纸页面
四段耳机+单端麦克风+单声道小喇叭输出	70. Audio-HP/1MIC/1SPK 的 Case1
三段耳机+差分麦克风+单声道小喇叭输出	70. Audio-HP/1MIC/1SPK 的 Case2
三段耳机+差分麦克风+单声道小喇叭输出 +单声道音频回采	71. Audio-HP/1MIC/1SPK/1LOOP 的 Case3
三段耳机+两个阵列麦克风+单声道小喇叭输出 +单声道音频回采	72. Audio-HP/2MIC/1SPK/1LOOP 的 Case4
多个阵列麦克风(最多 6 个)+立体声模拟喇叭输出 +立体声回采	73. Audio-2SPK/2LOOP(option) 以及 74. Audio-MicArray(option)
更多的音频输入或输出需求	联系 RK 咨询

2.5 视频输出接口设计 (Video Output)

RK3566 芯片内置了 VOP 视频控制器，有三个视频 Port，支持 MIPI DSI/eDP/HDMI/BT656TX/BT1120TX 视频输出模式，最多支持不同/或多个接口的双屏同显。

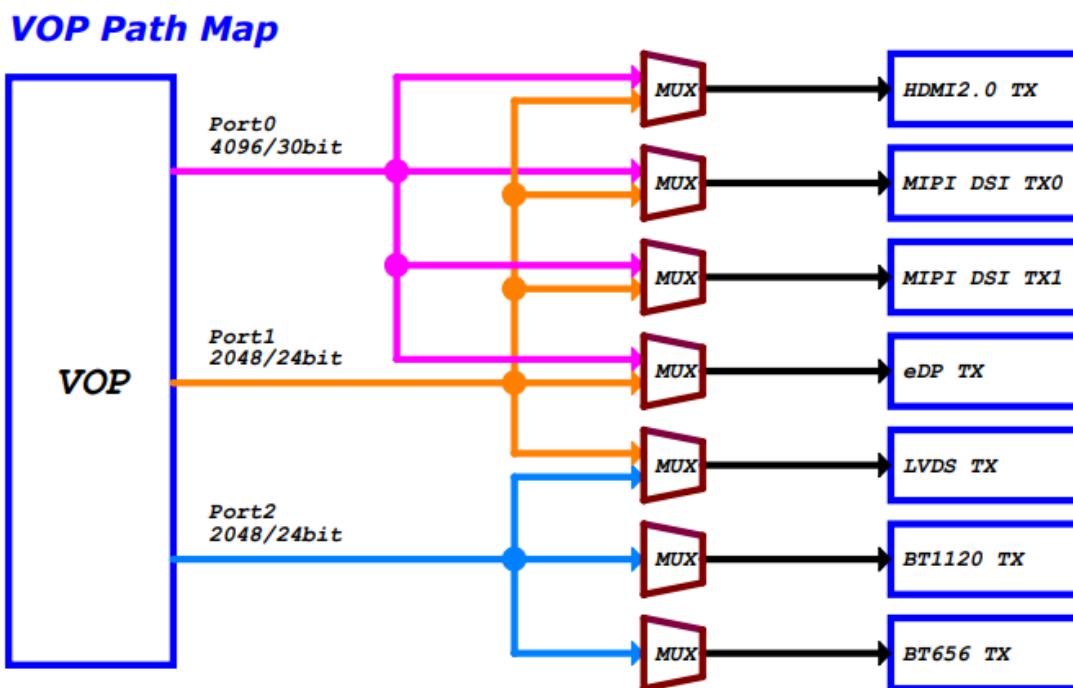


图 2-62 RK3566视频输出接口路径示意图

需要注意，RK3566 屏+HDMI 双显的情况存在如下限制：

- HDMI 不支持隔行分辨率；
- HDMI 会过滤掉 60 帧以下的分辨率；
- 主副屏的方向需要一致，最好比例一致；如果 HDMI 做副屏，则主屏需要是横屏，否则 HDMI 会严重拉伸；
- 更多信息参考文档《Rockchip_Developer_Guide_HDMI_Based_on_DRM_Frame》；

2.5.1 MIPI-DSI 输出

RK3566 集成了两个 MIPI-DSI 控制器，均为 4lane 接口，速率可达 2.5Gbps/lane，输出最大分辨率可达 1920x1080@60Hz。相关信号如图所示：

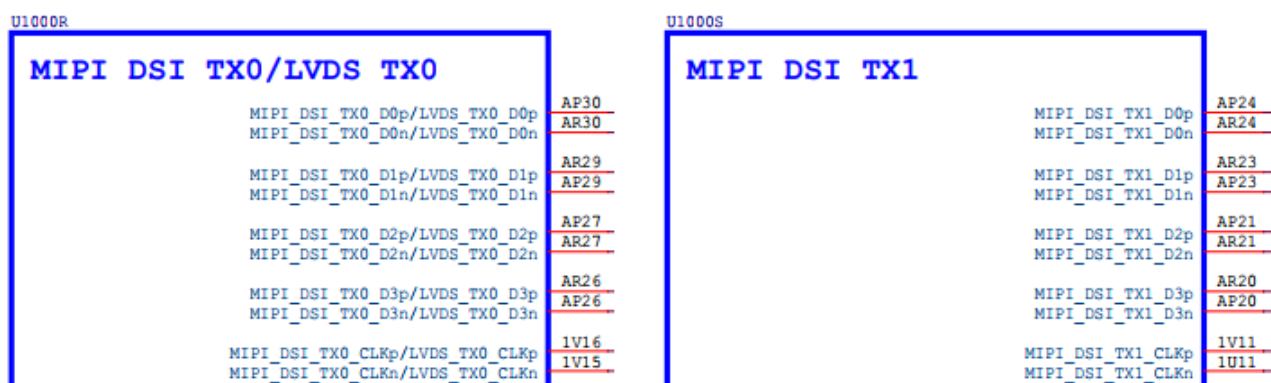


图 2-63 RK3566 MIPI-DSI0/DSI1及LVDS0接口

为提高 MIPI-DSI 性能，控制器电源的去耦电容请靠近管脚放置，控制器的 0.9V/1.8V 电源需要串联磁

珠。

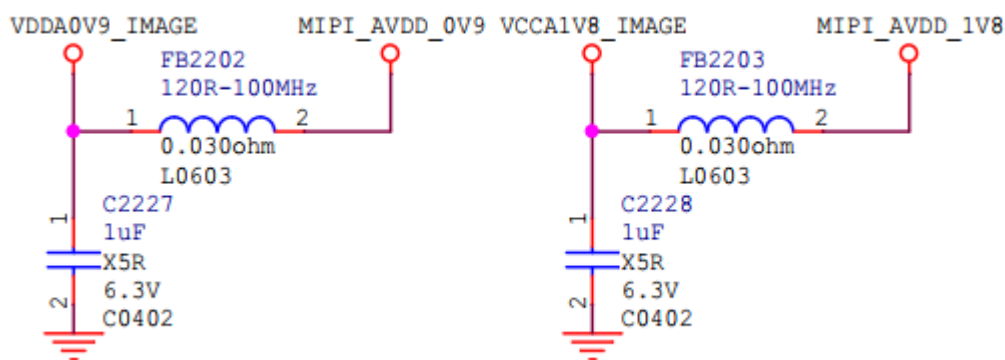


图 2-64 RK3566 MIPI-CSI电源串接磁珠示意

MIPI-DSI 接口阻抗和说明如下表：

表 2-26 RK3566 MIPI-DSI接口设计

信号	阻抗	说明
MIPI_DSI_TX0_DP/DN[3:0]	阻抗 100ohm±10%	MIPI DSI0 数据发送
MIPI_DSI_TX0_CLKP/CLKN	阻抗 100ohm±10%	MIPI DSI0 时钟发送
MIPI_DSI_TX1_DP/DN[3:0]	阻抗 100ohm±10%	MIPI DSI1 数据发送
MIPI_DSI_TX1_CLKP/CLKN	阻抗 100ohm±10%	MIPI DSI1 时钟发送

2.5.2 LVDS 输出

上述提到的 MIPI-DSI0 接口还复用了一组 LVDS 信号。RK3566 集成了 LVDS 控制器，输出最大分辨率可达 1280x800@60Hz，需要通过软件配置来切换到相应的功能。

电源引脚的相关滤波处理，参考 MIPI-DSI 小节。

LVDS 接口阻抗和说明如下表：

表 2-27 RK3566 LVDS接口设计

信号	阻抗	说明
LVDS_TX0_DP/DN[3:0]	阻抗 100ohm±10%	LVDS TX0 数据发送
LVDS_TX0_CLKP/CLKN	阻抗 100ohm±10%	LVDS TX0 时钟发送

2.5.3 eDP 输出

RK3566 集成了一个 eDP V1.3 控制器，支持速率 1.62Gbps/lane 和 2.7Gbps/lane，支持 1lane、2lane 和 4lane 模式，最大输出分辨率可达 2560x1600@60Hz。支持 AUX 通道，速率可达 1Mbps。

差分信号对串接的 100nF 耦合电容须靠近发送端放置，建议使用 0201 封装，以降低 ESR 和 ESL，同时降低线路的阻抗突变。

相关信号如图所示：

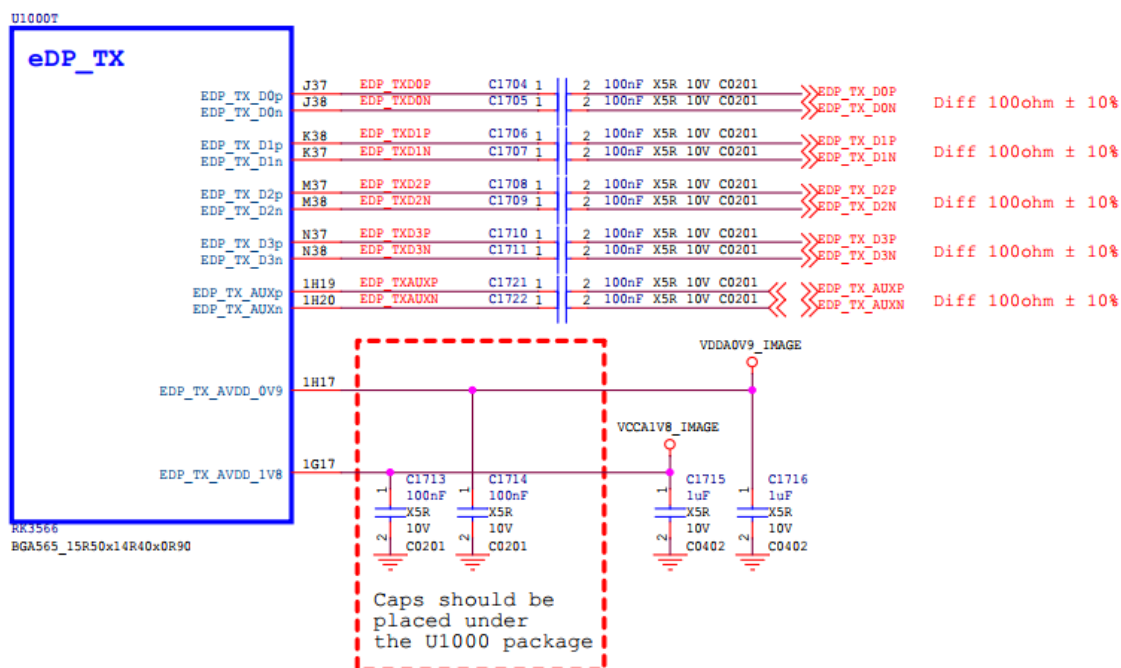


图 2-65 RK3566 eDP接口

eDP 接口阻抗和说明如下表：

表 2-28 RK3566 eDP接口设计

信号	阻抗	说明
eDP_TX_DP/DN[3:0]	阻抗 100ohm±10%	eDP TX 数据发送，串接 100nF 电容
eDP_TX_AUXP/N	阻抗 100ohm±10%	eDP TX 附属通道，串接 100nF 电容 在 eDP 屏的座子端，AUXP 预留 100k 下拉电阻， AUXN 预留 100k 上拉电阻
eDP_HPDIIN	无	eDP TX 插入检测

2.5.4 HDMI2.0 TX 输出

RK3566 提供了一个 HDMI 输出接口，最大输出分辨率可达 4096x2160@60Hz。相关信号如图所示。设计上，差分对串联 2.2ohm 电阻，以增强抗静电浪涌能力；CLK 信号上预留共模电感，作为应对 EMI 的可能措施：

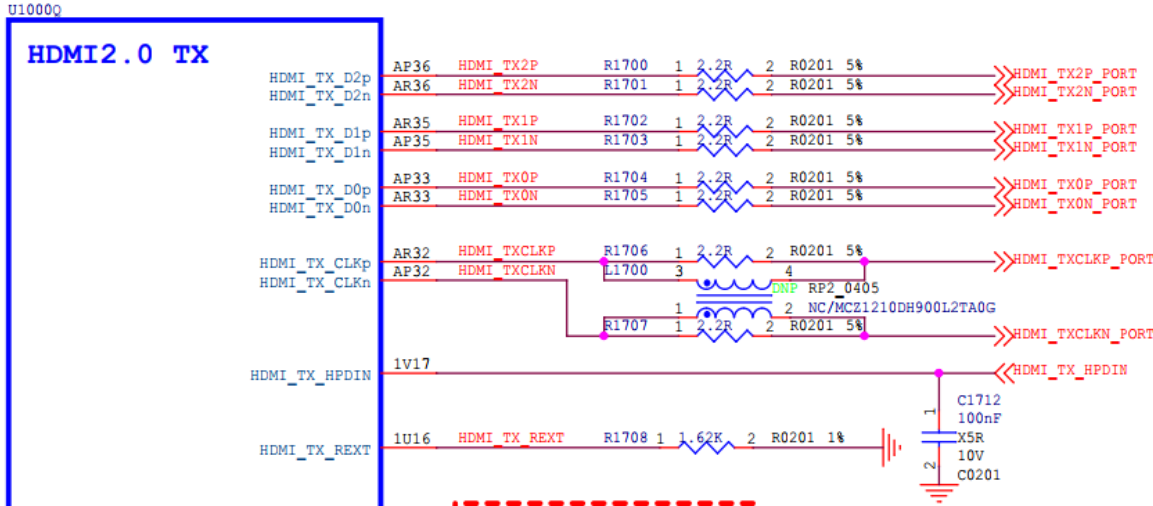


图 2-66 RK3566 HDMI接口

HDMI 控制器参考电阻 R1708 请选用 1%精度的 1.62k 电阻，该电阻会影响信号眼图质量，客户不得随便更改，layout 上需靠近 RK3566 放置。

HDMI_TX_HPDI 是 PHY 自带的功能，支持 5V 电平，检测有效电平范围为 2.4-5.3V，建议在该网络靠近 RK3566 管脚处放置一个消抖电容。而在靠近座子端，则需要串接 1KOhm 电阻，以加强抗静电浪涌能力，并预留 100KOhm 对地电阻。

此外，HDMI 接口的 CEC 电路应注意防倒灌隔离设计，DDC (I2C) 电路应注意电平转换 (RK3566 的 HDMI I2C 不支持 5V 电平，默认使用 2SK3018 MOS 管转换电路，如需替换器件，应注意结电容值相当)，参考下列截图：

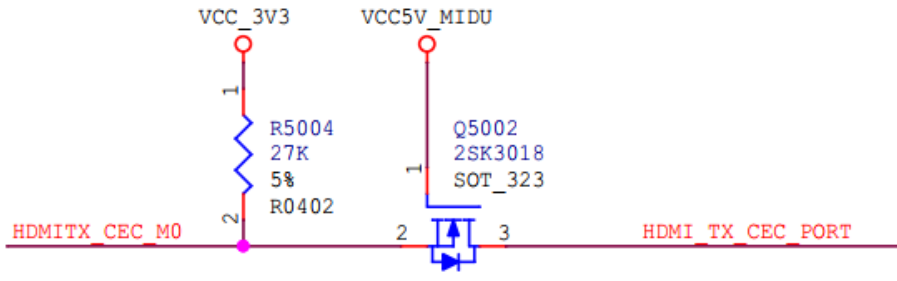


图 2-67 RK3566 HDMI CEC防倒灌电路

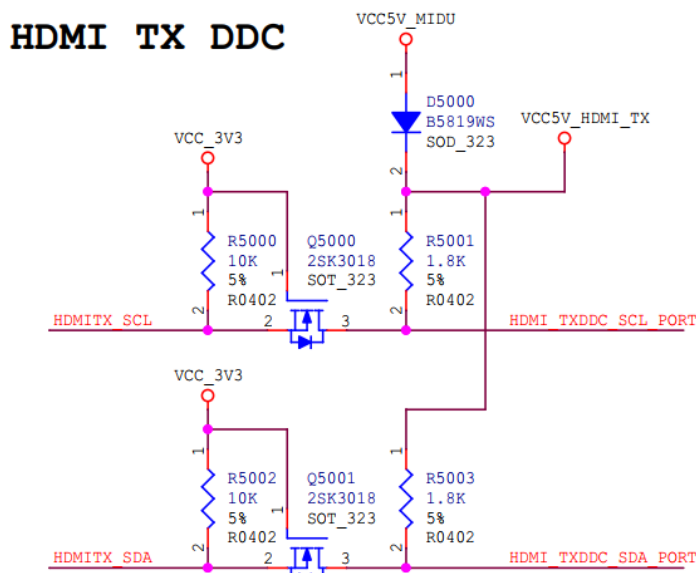


图 2-68 RK3566 HDMI I2C电平转换电路

HDMI 的差分信号与低速控制信号都应进行 ESD 防护，ESD 器件需靠近 HDMI 接口放置，推荐电容最大不超过 0.4pF（低速控制信号要求可降低）。考虑到成本等原因，I2C_SCL、I2C_SDA、CEC、HPD 四个信号也可以使用 4in1 的 ESD 器件。

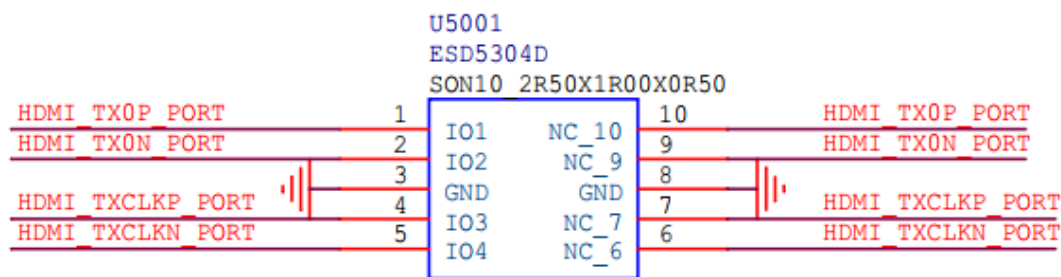


图 2-69 RK3566 HDMI信号的ESD防护

HDMI 接口阻抗和说明如下表：

表 2-29 RK3566 HDMI接口设计

信号	阻抗	说明
HDMI_TX_DP/DN[2:0]	阻抗 100ohm±10%	HDMI TX 数据发送
HDMI_TX_CLKP/CLKN	阻抗 100ohm±10%	HDMI TX 时钟发送
HDMI_TX_HPDIN	无	HDMI TX 插入检测
HDMI_TX_REXT	无	HDMI 参考电阻连接管脚，默认使用 1%精度 1.62k 电阻
HDMITX_SCL/SDA	无	HDMI 数据通讯通道
HDMITX_CEC	无	HDMI 消费电子控制引脚

2.5.5 BT1120 输出

RK3566 支持 BT1120 格式输出，最大输出分辨率可达 1920x1080@60Hz。对应的管脚属于 VCCIO5 电源域，信号的描述如下。

表 2-30 RK3566 BT1120输出的信号描述

信号	内部上下拉	连接方式	描述（芯片端）
VOP_BT1120_D[15:0]	下拉	直连	BT1120 数据输出
VOP_BT1120_CLK	下拉	串联 22ohm 电阻	BT1120 时钟输出

2.5.6 BT656 输出

RK3566 支持 BT656 格式输出，对应的管脚属于 VCCIO6 电源域，信号的描述如下。

表 2-31 RK3566 BT656输出的信号描述

信号	内部上下拉	连接方式	描述（芯片端）
VOP_BT656_D[7:0]	下拉	直连	BT656 数据输出
VOP_BT656_CLK	下拉	串联 22ohm 电阻	BT656 时钟输出

2.5.7 EBC 输出

RK3566 支持 EBC 输出，可驱动电子墨水屏，对应的管脚属于 VCCIO6 电源域，信号的描述如下。对于电子纸墨水电子书类的产品，可以参考 RK 发布的专门参考图《RK3566_EINK_REF》。

表 2-32 RK3566 EBC输出的信号描述

信号	内部上下拉	连接方式	描述（芯片端）
EBC_SDD0[15:0]	下拉	直连	源驱动数据
EBC_SDCE[3:0]	下拉	直连	源起始脉冲
EBC_VCOM	下拉	直连	VCOM 电源使能
EBC_GDOE	下拉	直连	栅输出使能
EBC_GDSP	下拉	直连	栅起始脉冲
EBC_SDSHR	下拉	直连	源驱动移位寄存
EBC_SDLE	下拉	直连	源锁存使能
EBC_SDOE	下拉	直连	源输出使能
EBC_GDCLK	下拉	直连	栅驱动时钟
EBC_SDCLK	下拉	直连	源驱动时钟

2.5.8 LCD 屏和触摸屏设计注意点

- LED 背光升压 IC 的 FB 端限流电阻，请选用 1%精度电阻，并按功率需求选择合适的封装尺寸。
- LED 背光升压 IC 的 EN/PWM 管脚，选择内部下拉的 GPIO，外接下拉电阻，避免上电时出现闪屏现象。
- LED 背光的驱动电压输出，请选择合适额定电压的滤波电容。
- LED 背光升压电路的肖特基二极管请根据工作电流选择合适的型号，并注意二极管的反向击穿电压，避免在空载时反向击穿。
- LED 背光升压电路的电感请根据实际型号匹配感量、饱和电流、DCR 等。

- 屏和触摸屏的信号电平要与芯片的 IO 驱动电平匹配，如 RST/Stand by 等信号。
- 屏的电源必须可控制，上电时，默认不提供。
- 屏和触摸屏的去耦电容不得删减，必须保留。
- TP 的 I2C 总线上拉需考虑漏电问题，建议不和其它设备共用总线，如果一定要共用，注意上拉电源和地址是否冲突。
- 带 Charge pump 的 TP IC，请注意电容的额定电压。
- 对于屏，当通过 FPC 与板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- 串行接口的屏在接口处建议预留共模电感。

2.6 视频输入接口设计（Video Input）

2.6.1 MIPI-CSI 接口

RK3566 内置 ISP 处理器，有两组 MIPI-CSI 输入，支持 MIPI V1.2 版本，总共 4Lane，有两对时钟。

差分接口输入两组差分时钟信号和四组差分数据信号，支持 2lane MIPI RX 和 4lane MIPI RX 输入两种模式。相关信号如图所示：

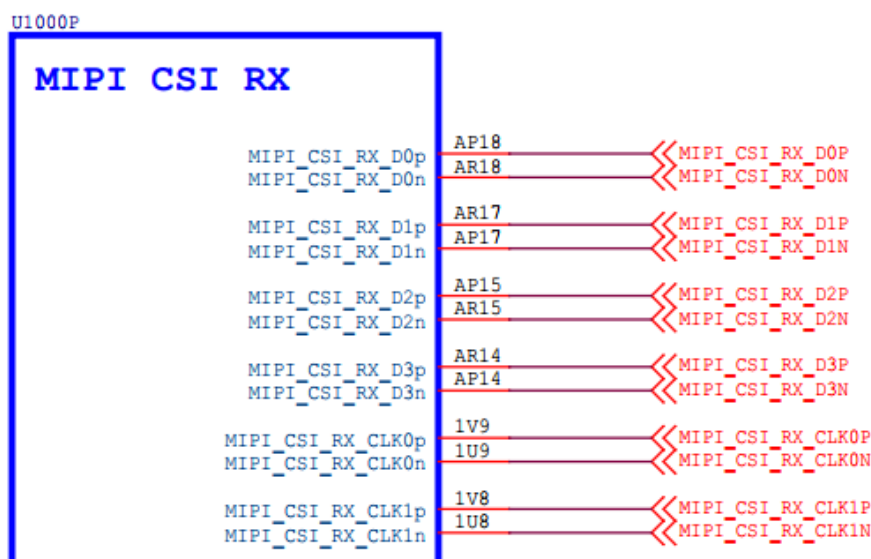


图 2-70 RK3566 MIPI-CSI模块

2lane 或 4lane 模式的配置如下，当使用 4lane 模式时，MIPI_CSI_RX_D[3:0]数据信号参考 CLK0 时钟；当使用 2lane 模式时，可支持两个摄像头输入，其中 MIPI_CSI_RX_D[1:0]数据信号参考 CLK0 时钟，MIPI_CSI_RX_D[3:2]数据信号参考 CLK1 时钟。

摄像头的 MCLK 可以从 RK3566 的以下时钟输出获取：CAM_CLKOUT0，CAM_CLKOUT1，CIF_CLKOUT，REFCLK_OUT。须要注意对应 IO 的电平是否与摄像头 IO 一致。

当使用两个摄像头时，可根据实际情况决定摄像头的供电是分开或合并。此外，还应检查 I2C 地址是否不同，若地址相同，还应连接到两个独立的 I2C 控制器。

Usage of MIPI CSI Dx&CLKs		
Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane + Sensor2 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0 MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

图 2-71 RK3566 MIPI-CSI工作模式与数据/时钟分配

为提高 MIPI-CSI 性能，控制器电源的去耦电容请靠近管脚放置，控制器的 0.9V/1.8V 电源需要串联磁珠。

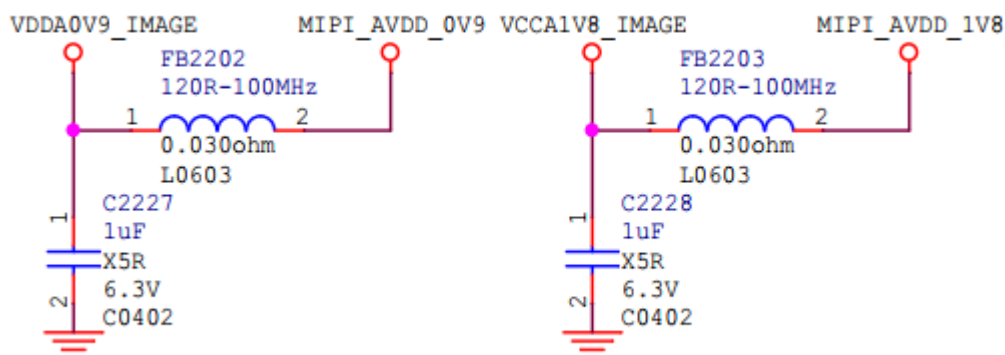


图 2-72 RK3566 MIPI-CSI电源串接磁珠示意

参考设计中还提供了一种用 MIPI 开关切换的双摄像头方案，这种接法支持 4lane+2lane 的连接，即满足高分辨率+中低分辨率的摄像头组合。须要注意的是，为了保证所有数据信号与时钟的延迟是一致的，每组信号都应经过切换开关再输入。

MIPI-CSI 接口阻抗和说明如下表：

表 2-33 RK3566 MIPI-CSI接口设计

信号	阻抗	说明
MIPI_CSI_RX_DP/DN[3:0]	阻抗 100ohm±10%	MIPI CSI0 数据接收
MIPI_CSI_RX_CLK0P/N	阻抗 100ohm±10%	MIPI 4lane 模式时钟 或 2lane 模式的时钟 0
MIPI_CSI_RX_CLK1P/N	阻抗 100ohm±10%	MIPI 2lane 模式的时钟 1

2.6.2 DVP (CIF) 并口摄像头输入

RK3566 内有一组 VICAP 控制器，VICAP 控制器功能引脚命名为 CIF_D[15:0]，CIF_HSYNC，CIF_VSYNC，CIF_CLKOUT，CIF_CLKIN。

VICAP 引脚复用在 VCCIO6 电源域，实际产品设计中，需要根据产品 Camera 的实际 IO 供电要求（1.8V 或 3.3V），选择对应的供电，同时 I2C 上拉电平必须与其保持一致，否则会造成 Camera 工作异常或无法工

作。

并口 VICAP 控制器接口支持以下格式：

- BT601RX YCbYr 422 8bit;
- BT656RX YCbYr 422 8bit;
- RAW Data 8/10/12bit;
- BT1120RX YCbCr 422 8/16bit, single/dual-edge sampling;
- 2/4 mixed BT656/BT1120 YCbCr 422 8bit;

接口速率可达 148.5MHz。需要注意：

- 当对接信号 RAWData 格式时，要从 VICAP 的高位对齐连接，如 12bit RAWData 从高位开始对应 CIF_D[15:4];
- 当对接的信号是 BT1120 RX 时，默认低 8bit 数据接 Y，高 8bit 数据接 UV，只支持内同步。或者使用 YC SWAP 模式，如下图所示；
- 当对接信号是 BT656 或者 BT601 时，从 VICAP 的高位按照顺序连接；
- CIF_CLKOUT 给外设输出 Clock 信号；
- CIF_CLKIN 接收外设输入的 Clock 信号；
- 某些摄像头 DVDD 电流需求较大，推荐使用 DC/DC 供电；

相关对应关系整理如下图表：

Usage of CIF Interface				
Mode	16bit	12bit	10bit	8bit
CIF_D0	D0	--	--	--
CIF_D1	D1	--	--	--
CIF_D2	D2	--	--	--
CIF_D3	D3	--	--	--
CIF_D4	D4	D0	--	--
CIF_D5	D5	D1	--	--
CIF_D6	D6	D2	D0	--
CIF_D7	D7	D3	D1	--
CIF_D8	D8	D4	D2	D0
CIF_D9	D9	D5	D3	D1
CIF_D10	D10	D6	D4	D2
CIF_D11	D11	D7	D5	D3
CIF_D12	D12	D8	D6	D4
CIF_D13	D13	D9	D7	D5
CIF_D14	D14	D10	D8	D6
CIF_D15	D15	D11	D9	D7

Support BT601 YCbCr 422 8bit input
 Support BT656 YCbCr 422 8bit input
 Support RAW 8/10/12bit input
 Support BT1120 YCbCr 422 8/10/12/16bit input, single/dual-edge sampling
 Support 2/4 mixed BT656/BT1120 YCbCr 422 8bit input

BT1120 16bit Mode:
 Default: D0-D7 <--> Y0-Y7 , D8-D15 <--> C0-C7
 Swap ON: D0-D7 <--> C0-C7 , D8-D15 <--> Y0-Y7

图 2-73 RK3566 DVP (CIF) 并口摄像头信号对应表

DVP (CIF) 接口上下拉和匹配设计推荐如表所示：

表 2-34 RK3566 DVP (CIF) 接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
CIF_D[15:0]	下拉	直连	DVP 数据输入
CIF_HREF	下拉	直连	DVP 行同步信号
CIF_VSYNC	下拉	直连	DVP 场同步信号
CIF_CLKOUT	下拉	串接 22ohm 电阻 靠近 RK3566 放置	DVP 时钟输出
CIF_CLKIN	下拉	串接 22ohm 电阻	DVP 时钟输入

2.7 组合高速接口设计 (MULTI PHY)

RK3566 提供了两组 MULTI PHY，可引出 USB3.0、SATA3.0、PCIE2.0 接口，路径示意图如下，可能的组合有：

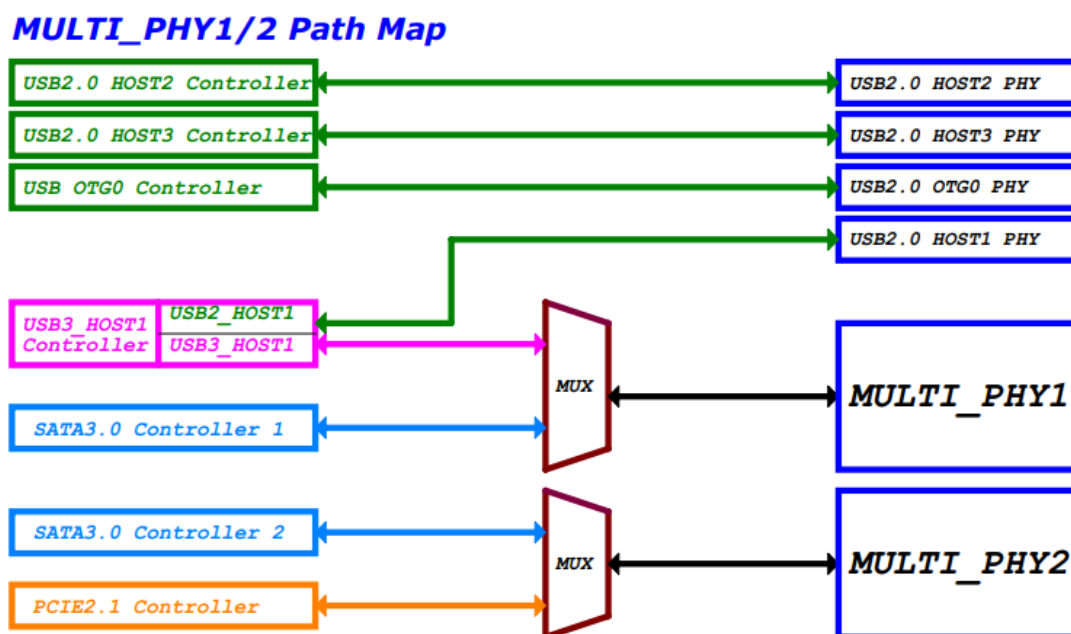


图 2-74 RK3566 MULTI PHY路径示意图

表 2-35 RK3566 MULTI PHY分配组合

场景	MULTI PHY U_S	MULTI PHY P_S
1	USB3.0	PCIE2.0
2	USB3.0	SATA3.0_2
3	SATA3.0_1	PCIE2.0
4	SATA3.0_1	SATA3.0_2

RK3566 的 MULTI_PHY 控制器有两组电源，分别为模拟电源 MULTI_PHY_AVDD_0V9 和 MULTI_PHY_AVDD_1V8；建议的上电时序为 MULTI_PHY_AVDD_0V9 先上电。

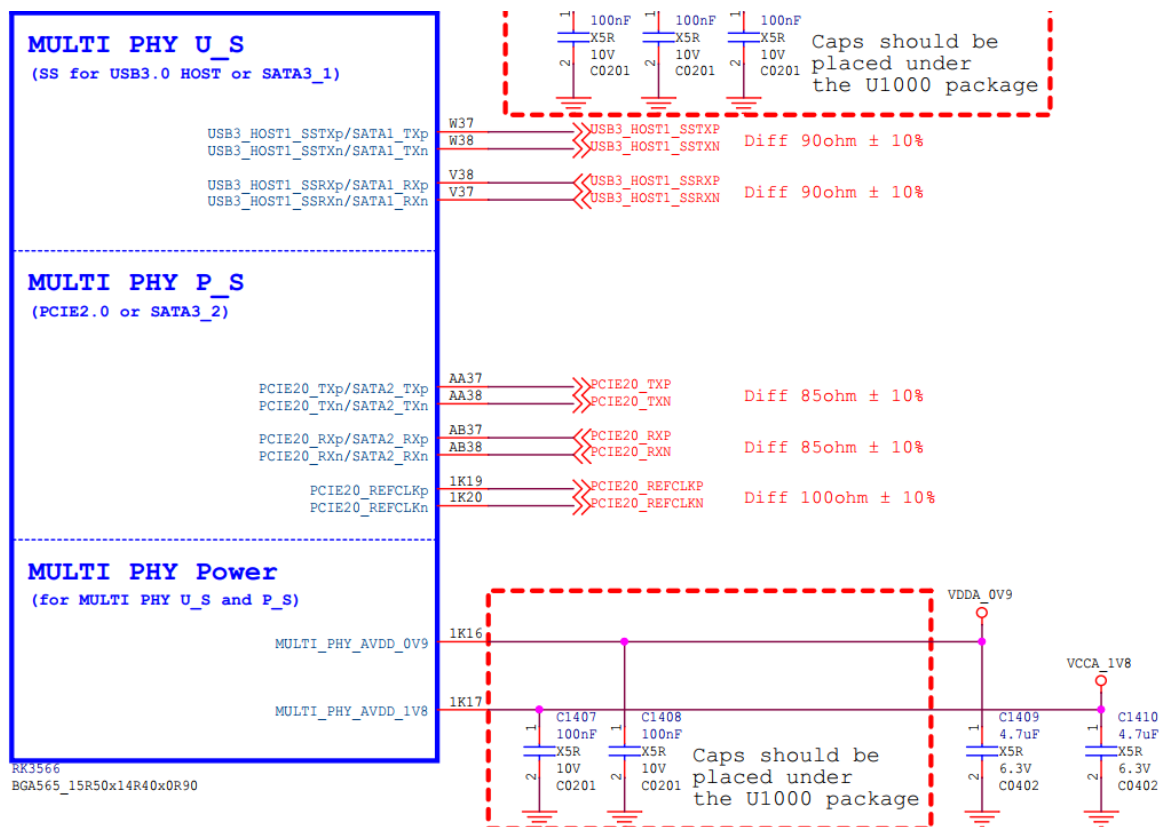


图 2-75 RK3566 MULTI PHY信号与电源

USB3.0 高速接口已在上文说明，此处仅介绍 SATA3.0 与 PCIe2.0 高速接口。

2.7.1 SATA3.0 高速接口

SATA 是 Serial Advanced Technology Attachment 的简称，是串行通讯的硬盘接口。RK3566 支持 SATA V3.0 协议，具有如下特点：

- 兼容 Gen1/Gen2/Gen3；
- 单个数据通道能支持最大 6GT/s 的信号传输速率；
- 支持 OOB；
- 支持 SATA PM 功能，可外接扩展芯片；
- 支持展频功能；

SATA 接口阻抗和说明如下表：

表 2-36 RK3566 SATA接口设计

信号	阻抗	说明
SATAx_TXP/N	阻抗 90ohm±10%	SATA 的数据发送，耦合电容 10nF 靠近主板连接座
SATAx_RXP/N	阻抗 90ohm±10%	SATA 的数据接收，耦合电容 10nF 靠近主板连接座

2.7.2 PCIe 2.0 高速接口

PCIe 是 PCI-Express 的简称，RK3566 支持 PCIe V2.1 协议，具有如下特点：

- 兼容 Gen1/Gen2；

- 只支持 Root Complex(RC)工作模式;
- 支持 x1 模式, 有 1 对 TX/RX 差分信号对;
- 单个数据通道能支持最大 5GT/s 的信号传输速率, 编解码采用 8b/10b 模式;
- 全双工模式;
- 支持展频功能;

PCIe 接口阻抗和说明如下表:

表 2-37 RK3566 PCIe接口设计

信号	阻抗	说明
PCIe20_TXP/N	阻抗 85ohm±10%	PCIe2.0 的数据发送, 耦合电容 100nF 靠近发送端或主板连接座
PCIe20_RXP/N	阻抗 85ohm±10%	PCIe2.0 的数据接收, 耦合电容位于设备端
PCIe20_REFCLKP/N	阻抗 100ohm±10%	PCIe2.0 的参考时钟, 支持输出也支持输入, 默认为输出, 为 EP 外设提供时钟

在 PCIe 2.0 的设计中, 需要注意:

- 注意 PCIe 外设的供电需求, 特别是 Slot 设计下, 应充分考虑可能的的外设情况;
- PCIe TX/RX 差分信号串接的 100nF 交流耦合电容, 建议使用 0201 封装, 以降低 ESR 和 ESL, 同时降低线路的阻抗突变;
- PCIE20_CLKREQn 和 PCIE20_WAKEn 必须使用具体的功能管脚, 不可用其他 IO 替代; 且二者必须处于同一组 MUX, 即相同的_Mx 后缀;
- PCIE20_PERSTn 可以选用功能管脚或 GPIO 替代, 选择功能管脚时, 必须和 PCIE20_CLKREQn 和 PCIE20_WAKEn 处于同一组 MUX, 即相同的_Mx 后缀;
- 对于标准的 PCIe Slot, PCIE20_PERSTn、PCIE20_CLKREQn 和 PCIE20_WAKEn 均为 3.3V 电平;
- PCIE20_PRSTNT 为 Add In Card 的插入检测脚, 可以用 GPIO 实现;

3 热设计建议

3.1 热仿真结果

针对 RK3566 FCCSP 565ball 封装，基于 4 层板 PCB 采用有限元建模法（Finite Element Modeling, FEM），可以得出热阻的仿真报告。该报告基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件做出分析。



注意

热阻是在 PCB 没有外加散热措施下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

3.1.1 结果概要

热阻仿真结果如下，表中所列为典型值，术语解释见 3.1.3 小节：

表 3-1 RK3566 芯片热阻仿真报告结果

Package	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
FCCSP 565ball	20.728	17.74	1.544

3.1.2 PCB 描述

热阻仿真用的 PCB 结构如下表：

表 3-2 RK3566 芯片热阻仿真的 PCB 结构

Dimension (L x W)	PCB Thickness	Number of Cu Layer
114.3 x 101.6mm	1.6mm	4-layers

3.1.3 术语解释

本章中的术语解释如下：

- T_J : 平均管芯温度（摄氏度）；
- T_A : 周围环境温度（摄氏度）；
- T_C : 封装外壳温度（摄氏度）；
- T_B : PCB 结合面温度（摄氏度）；
- P : 总输入功率（瓦）；
- θ_{JA} : 管芯到周围环境的封装热阻力（每瓦摄氏度）；
- θ_{JC} : 管芯到封装外壳的封装热阻力（每瓦摄氏度）；

- θ_{JB} :管芯到 PCB 结合面的封装热阻力（每瓦摄氏度）；

The thermal parameter can be define as following

1. *Junction to ambient thermal resistance, θ_{JA} , defined as:*

$$\theta_{JA} = \frac{T_J - T_A}{P} ; \tag{1}$$

Thermal Dissipation of EHS-FCBGA

图 3-1 θ_{JA} 的定义

2. *Junction to case thermal resistance, θ_{JC} , defined as:*

$$\theta_{JC} = \frac{T_J - T_C}{P} ; \tag{2}$$

Attach a block with constant temperature onto package.

图 3-2 θ_{JC} 的定义

3. *Junction to board thermal resistance, θ_{JB} , defined as:*

$$\theta_{JB} = \frac{T_J - T_B}{P} ; \tag{3}$$

Attach a block with constant temperature

图 3-3 θ_{JB} 的定义

3.2 芯片内部热控制方式

3.2.1 温度控制策略

在 Linux 内核中，定义了一套温控框架 Linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- **Power_Allocator**: 引入 PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配 power，并将 power 转换为频率，从而达到根据温度限制频率的效果。
- **Step_Wise**: 根据当前温度，逐级限制频率。
- **Userspace**: 不限制频率。

RK3566 芯片内部有 T-sensor 检测片内温度，默认使用 Power_Allocator 的策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
 - 温度趋势上升，允许的最高频率将降低；
 - 温度趋势下降，允许的最高频率将升高；
- 当温度低于设定的温度值：
 - 允许的最高频率为默认值，不受 Thermal 策略控制；
- 在降频后芯片依旧过温（比如散热不良）超过一定的温度（可设置）时软件会触发重启；由于 deadlock 或其他因素导致重启失效，当芯片超过设定的关机保护温度线（可设置），则会触发芯片内部的 TSADC_SHUT 给 PMIC 直接关机。



注意

温度趋势是通过采集到的前后两个温度作对比得出的。设备温度未超过阈值时，每 1 秒采集一次温度；当设备温度超过阈值时，每 20ms 采集一次温度并限制频率。

3.2.2 温度控制配置

RK3566 SDK 中可以针对 CPU、GPU 和 NPU 分别提供温控策略，具体配置请参考我司《Rockchip thermal 开发指南》。

3.3 电路与 PCB 板级热设计建议

- 合理进行器件布局，避免局部过热：例如 RK3566 与 RK PMIC 的合理放置，平衡供电与散热约束，建议间隔 20mm-50mm 放置，保证供电质量，也兼顾热量分散。
- 布局空旷的区域，在不破坏电源平面完整性条件下，尽量增加地过孔，从而增加散热路径。
- 注意所使用 LDO 的输入输出压差，提高整体电源效率，减少电源自身耗散引起的发热。
- 当电路模块处于未使用的情况，可关闭其供电或配置进入 power mode 等低功耗模式。
- 大电流供电的走线/铺铜，应考虑其载流能力，避免过小的走线宽度引起过大温升。

- 条件允许情况下，建议使用多层板设计，增加板子的含铜量（例如使用 1oz 的铜厚），增加地平面层数与面积，借助大面积的铜箔进行散热。
- 带有 E-PAD 或 P-PAD 的芯片，通常耗散功率较大，需在 PAD 上打满过孔，相邻层处理为完整的地平面，并保持背面铜皮完整且进行裸铜处理，以保证散热效果。
- RK3566 芯片的 GND 管脚在顶层走“井”字形交叉连接，线宽 10mil，保证芯片散热能力。
- RK3566 芯片的 GND 管脚，保证每个引脚都有一个对应的地过孔（最恶劣情况下保证每 1.5ball 对应一个过孔），相邻层处理为地平面，以确保足够的导热路径。
- RK3566 芯片背面去耦电容地焊盘避免使用花孔连接，尽量采用全铺铜以保证铜皮完整，提高散热能力。
- 进行合理的结构设计，考虑产品内部与外界合理的热交换途径；在使用散热片时，需注意鳍片的方向与结构风道一致，并选用足够尺寸的散热片、导热系数大的散热材料。

4 ESD/EMI 防护设计

4.1 概述

本章对于 RK3566 产品设计中的 ESD/EMI 防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

4.2 术语解释

本章中的术语解释如下：

- ESD（Electro-Static Discharge）：静电释放；
- EMI（Electromagnetic Interference）：电磁干扰，包括传导干扰和辐射干扰两部分；

4.3 ESD 防护建议

- 晶体建议使用贴片的 4-Pin 晶体，其中 2 个 GND 引脚和 PCB 板的地平面需良好连接，可增强系统时钟的抗干扰能力。
- 关键信号（如 RESET、时钟、中断等）、敏感信号等，与板边的距离不得小于 5mm。
- 对于 RK3566、RK PMIC 以及其他带有复位输入引脚的芯片，其 RESET（或 NPOR）管脚的 100nF 电容必须靠近管脚放置，电容的地焊盘保证有一个 0402 地过孔或更多，以保证良好接地。
- 信号经过板级连接器的，建议串接一定阻值电阻（2.2ohm-22ohm 之间，以能满足信号完整性测试为准），并预留 TVS 器件，以提升抗静电、浪涌能力。
- 接口、端口和插接件需预留 TVS 器件并合理摆放，一般要求摆在源头，即 TVS 器件摆放在接口处或静电释放处。在走线时，信号不得换层、不得存在走线分支，可能的静电路径必须先经过 TVS 管脚焊盘后再连到后级。TVS 管的地焊盘至少有 2 个 0402 地过孔，保证良好泄放路径。
- 对于 PCB 布局，有如下建议：
 - 在 PCB 布局时做好敏感器件的保护、隔离。例如，最小系统（如主芯片、DDR）、关键器件等电路部分远离金属接口。
 - 布局时尽量将主芯片及核心部件放在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能够可靠接地。
 - 按功能模块及信号流向来布局 PCB，对容易产生干扰的部分最好能隔离，让各个敏感部分相互独立，让敏感信号远离静电易放电区域（表层地铜皮）。例如将接口地管脚单独通过地孔与内层地相连，对表层 PCB 进行 keepout 使表层地铜皮与管脚远离等措施。
 - 元件布局远离板边且距金属插接件有一定距离。
 - PCB 设计时要保证良好的内外层地回路，以保证静电回路的通畅，避免静电进入时产生较大的电势差造成系统控制异常。
- PCB 表层一定要有良好的 GND 平面，以保证各接插件在表层具有良好的 GND 回路。接口器件周围多打地孔，以增强静电释放效果；接口器件周围可适当露铜，便于增加泡棉等改善措施。
- 预留屏蔽罩位置，屏蔽罩应与表层地有良好连接，并在屏蔽罩焊接处多打地孔。

- 表层板边不走线且多打地孔。
- 必要时要做好信号跟地之间的隔离。
- 保证合理的模具设计，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离边长，能量减弱。
- 利用元器件的吸收能力，例如将散热片接入主地，利用大面积金属来吸收一部分 ESD 能量，通过改变 ESD 的传输路径对芯片起到保护。
- 整机设计时，考虑 PCB 板合理裸露铜皮，进行与导电结构件的连接，以便加强静电释放效果。
- 整机设计为浮地设备时，建议各接口不要进行分地处理，避免恶化 ESD 防护。除非有充分论证与测试。
- 整机为金属外壳时，要求其外壳必须良好连接大地。
- 生产过程中，避免人体直接接触 PCB 板内任何器件或电路，接口插拔时不得带电操作。

4.4 EMI 防护建议

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。其中，可进行处理的要素为干扰源与耦合通道。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应。
- PCB 上的干扰源可以通过滤波、接地、平衡、阻抗控制，改善信号质量（如端接）等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求。
 - DDR3/DDR4/LPDDR3 CLKP/N 之间的 RC 电路不得删除，可作为改善 EMI 的措施；
 - USB、HDMI、VGA、屏连接座等接口处预留共模电感或滤波电路；
 - 所有时钟串接的匹配电阻需靠近 CPU 端(源端)，CPU 管脚和电阻之间走线必须控制在 400mil 以内；
 - 如果 PCB 超过 4 层板，尽量让所有时钟信号走内层；
 - DC 电源输入处，可预留电源共模电感或 EMI 滤波器；
 - 防止电源辐射，电源层铺铜必须内缩，以一个 H（H 为电源层和地层之间的介质厚度）为单位，建议内缩 20H；
 - 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO、RGB、CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI（信号完整性）许可范围。差分接口一般使用共模电感来抑制 EMI。
- 常用应对 EMI 的材料有屏蔽罩、专用滤波器、电阻、电容、电感、磁珠、共模电感/磁环、吸波材料、展频器件等。
- PCB 上的屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准。RK3566、DDR 等关键区域需预留屏蔽罩位置，且保证良好接地。
- 核心器件展频功能的使用以及展频的程度需根据相关部分对信号的要求而定。在满足要求下，如果辐射干扰可以明确频点及产生的源头，可以通过相关时钟的展频来降低辐射的能量。从信号质量角度看，展频幅度越小越好。
- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求：
 - 尽量保证信号完整性、电源完整性；

- 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号和时钟的错位，避免相位不匹配引起 EMI 问题；
- 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而向外辐射。也要避免器件的干扰信号从壳体耦合到其他信号线。
- 带散热器的设计，需注意散热器有成为耦合 EMI 能量、产生辐射的可能，因此在选用散热器时需满足热设计要求，还应考虑 EMI 要求。散热器可预留接地条件，并根据首版本的实际测试进行处理。

5 焊接工艺

5.1 概述

RK3566 芯片为 RoHS 指令认证产品，即均是 Lead-free 产品。本章规范了在使用 RK3566 芯片 SMT（表面贴装技术，Surface Mounted Technology）时各个时间段温度的基本设置，介绍了在使用 RK3566 芯片 SMT 回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

5.2 术语解释

本章中的术语解释如下：

- Lead-free: 无铅工艺；
- Pb-free: 无铅工艺，所有器件（主板、所有 IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow Profile: 回流焊；
- Restriction of Hazardous Substances (RoHS)：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT)：表面贴装技术；
- Sn-Pb: 锡铅混合工艺，指使用有铅锡膏进行含铅 IC 与无铅 IC 混合焊接的工艺；

5.3 回流焊要求

5.3.1 焊膏成分与使用要求

Solder 合金与 flux 比重为 90%：10%；体积比为 50%：50%，锡膏冷藏温度 2~10℃，使用前应常温下回温，回温时间 3~4 小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌 3~5 分钟或机械搅拌 3 分钟，搅拌后呈自然垂流状。

5.3.2 SMT 曲线

由于 RK3566 芯片均采用环保材料，建议使用 Pb-Free 工艺。

下图回流焊曲线仅为 JEDEC J-STD-020D 工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak		
Temperature min (T_{smin})	100 °C	150 °C
Temperature max (T_{smax})	150 °C	200 °C
Time (T_{smin} to T_{smax}) (t_s)	60-120 seconds	60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L)	183 °C	217 °C
Time at liquidous (t_L)	60-150 seconds	60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum.
 ** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.

图 5-1 回流焊曲线分类

Package Thickness	Volume mm ³ <350	Volume mm ³ 350 - 2000	Volume mm ³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 5-2 无铅工艺器件封装体耐热标准

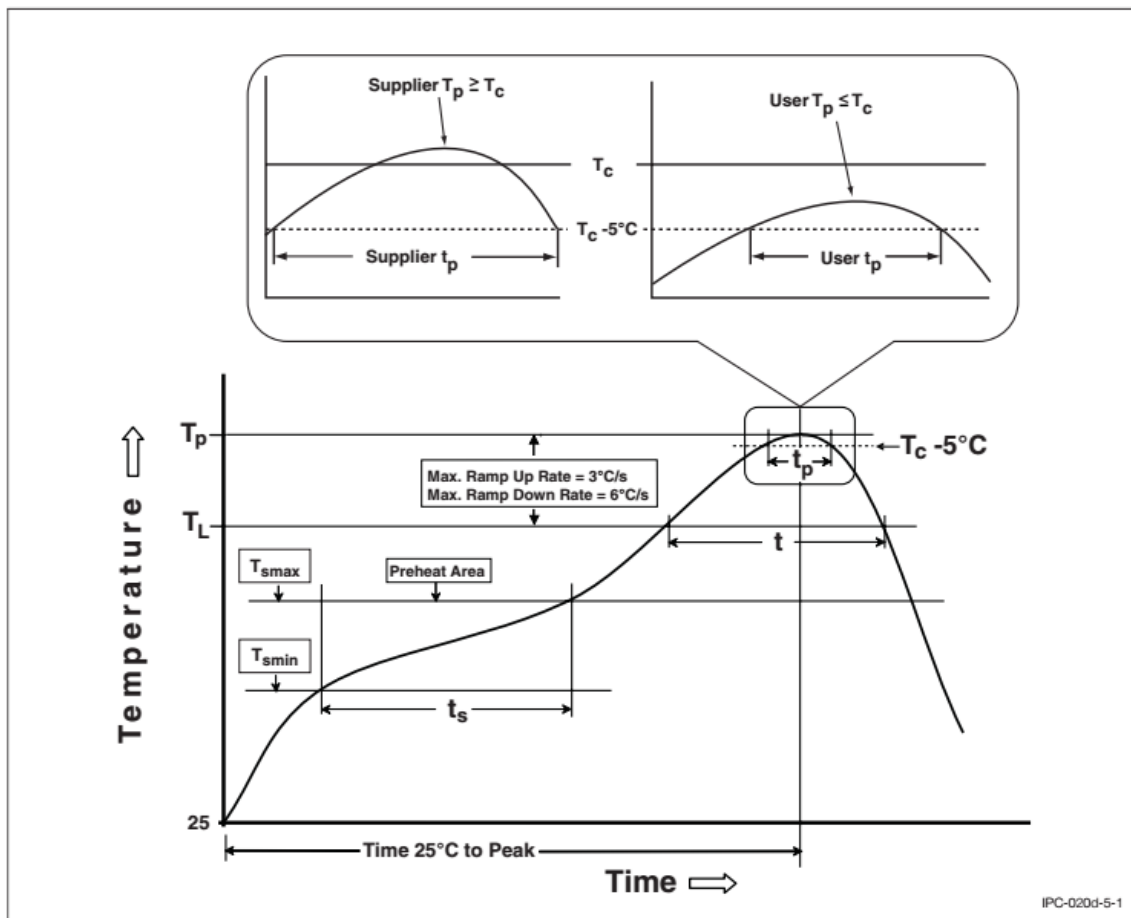


图 5-3 无铅回流焊接工艺曲线

5.3.3 SMT 建议曲线

我司建议的 SMT 曲线参数如下表所示，参考锡膏 SAC305，客户可根据实际情况进行调整：

表 5-1 SMT曲线参数

项目	时间（秒）	温度（摄氏度）
温升斜率		$\leq 3^{\circ}\text{C}/\text{秒}$
恒温（150-180℃）	60-90	
回流（220℃以上时间）	60-70	
峰值温度		$245 \pm 5^{\circ}\text{C}$
峰值时间	15-30	
冷却斜率		$\leq 3^{\circ}\text{C}/\text{秒}$

6 包装和存放条件

6.1 概述

本章规定了 RK3566 的存放和使用规范，以确保产品的安全和正确使用。

6.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor Life: 车间时间，指产品允许暴露在环境中的最长时间（从拆开防潮包装到回流焊之前）；
- Humidity Indicator Card(HIC): 湿度指示卡；
- Moisture Sensitivity Level(MSL): 潮敏等级；
- Moisture Barrier Bag(MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage Environment: 存放环境；

6.3 防潮包装

产品的干燥真空包装材料示意如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋（铝箔，银色不透明，带有湿敏等级的标识）；



图 6-1 芯片干燥真空包装

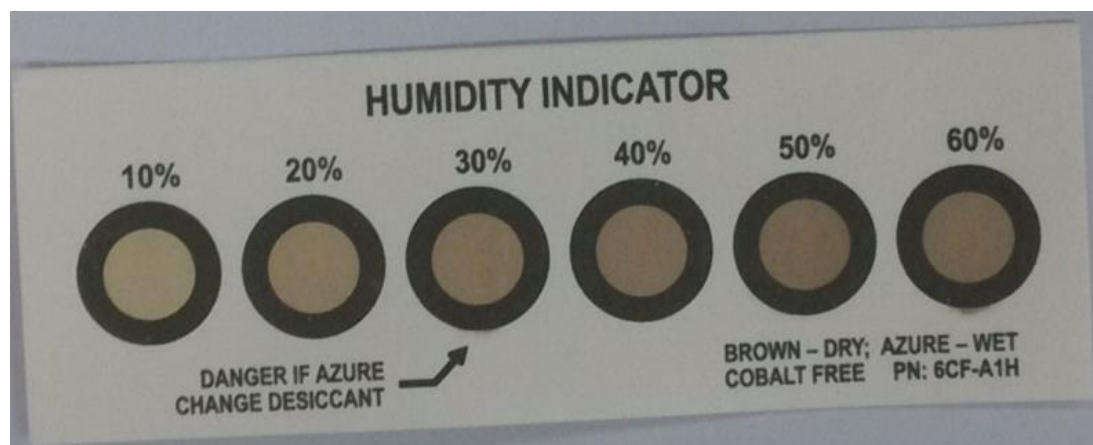


图 6-2 六点湿度卡

6.4 产品存放

6.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达 12 个月。

6.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度 60% 下，请参照如下表 6-1。

RK3566 芯片 MSL 等级为 3，对湿度非常敏感。如果拆开包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 6-1 暴露时间参照表 (MSL)

MSL 等级	暴露时间
	工厂环境条件： $\leq 30^{\circ}\text{C} / 60\% \text{RH}$
1	在 $\leq 30^{\circ}\text{C} / 85\% \text{RH}$ 条件下没有限制
2	1 年
2a	4 周
3	168 小时
4	72 小时
5	48 小时
5a	24 小时
6	使用前必须烘烤，并在标签上所规定的时间限制内进行焊接

6.5 潮敏产品使用

RK3566 芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在 168 小时内，且工厂环境为 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ ；

- 保存在 < 10% RH 环境下的；
- 在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：
- 湿度指示卡在 $23\pm 5^{\circ}\text{C}$ 时，>10% 的点已变色。（颜色变化请参考湿度指示卡标示）；
 - 未符合 2 或 2a 的规范；

芯片重新烘烤的时间请参考如下表：

表 6-2 RK3566 Re-bake参考表

封装 厚度	MSL 等级	高温烘烤 @ $125^{\circ}\text{C}+10/-0^{\circ}\text{C}$		中温烘烤 @ $90^{\circ}\text{C}+8/-0^{\circ}\text{C}$		低温烘烤 @ $40^{\circ}\text{C}+5/-0^{\circ}\text{C}$	
		超出车间时 间 > 72h	超出车间时 间 \leq 72h	超出车间时 间 > 72h	超出车间时 间 \leq 72h	超出车间时 间 > 72h	超出车间时 间 \leq 72h
\leq 1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



注意

此表中显示的均是受潮后，必须的最小烘烤时间。

重新烘烤优先选择低温烘烤。